

Docket No.: 67161-120

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Shu SHIMIZU : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: October 24, 2003 : Examiner:
For: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURING
METHOD THEREOF

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

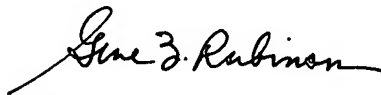
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-120086, filed April 24, 2003

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Gene Z. Robinson
Registration No. 33,351

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 GZR:prg
Facsimile: (202) 756-8087
Date: October 24, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

67161-120
Shimizu
Oct. 23, 2003
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月24日

出 願 番 号

Application Number:

特願2003-120086

[ST.10/C]:

[JP2003-120086]

出 願 人

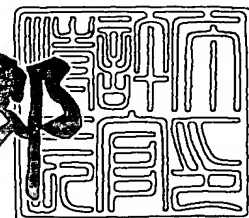
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3045253

【書類名】 特許願

【整理番号】 542743JP01

【提出日】 平成15年 4月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 清水 秀

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置の製造方法

【特許請求の範囲】

【請求項 1】 複数のフローティングゲート電極と、複数のフローティングゲート電極上に形成されて所定の方向に延在するコントロールゲート電極とを有し、側面を含む複数の積層体を半導体基板の主表面上に形成する工程と、

前記積層体を覆い、かつ、前記主表面にほぼ平行な頂面を有する層間絶縁膜を形成する工程と、

前記層間絶縁膜の頂面上にマスク層を形成する工程と、

前記マスク層をマスクとして前記層間絶縁膜を選択的にエッチングすることにより、隣り合う前記積層体の間に位置するように層間絶縁膜に開口部を形成する工程と、

前記開口部から前記主表面に不純物イオンを注入することにより、複数のフローティングゲート電極に沿って延在するソース領域を形成する工程とを備えた、不揮発性半導体記憶装置の製造方法。

【請求項 2】 前記ソース領域の一部分を金属化する工程をさらに備えた、請求項 1 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 3】 前記積層体を形成後前記層間絶縁膜を形成する前に前記複数の積層体の側面と前記半導体基板の主表面とを覆う絶縁膜を形成する工程と、前記絶縁膜をエッチバックするとともに、前記積層体の側面を覆う前記絶縁膜を残存させて側壁絶縁膜を形成する工程とをさらに備えた、請求項 1 または 2 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 4】 複数のフローティングゲート電極と、複数のフローティングゲート電極上に形成されて所定の方向に延在するコントロールゲート電極とを有し、側面を含む複数の積層体を半導体基板の主表面上に形成する工程と、

前記積層体を覆う絶縁膜を形成する工程と、

前記絶縁膜をエッチバックすることにより、前記複数の積層体の側面を覆う側壁絶縁膜を形成する工程と、

前記側壁絶縁膜をマスクとして前記半導体基板に不純物を注入することにより

、前記複数の積層体の間で前記半導体基板に、前記複数のフローティングゲート電極に沿って延在するソース領域を形成する工程とを備えた、不揮発性半導体記憶装置の製造方法。

【請求項 5】 前記半導体基板に複数の分離絶縁膜を形成する工程をさらに備え、前記ソース領域の一部分が前記複数の分離絶縁膜の間に形成されている、請求項 4 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 6】 前記分離絶縁膜が酸化膜を含み、前記側壁絶縁膜が窒化膜を含む、請求項 4 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 7】 前記側壁絶縁膜をマスクとして前記ソース領域の一部分を金属化する工程をさらに備えた、請求項 4 に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、不揮発性半導体記憶装置の製造方法に関し、特にフローティングゲート電極を有する不揮発性半導体記憶装置の製造方法に関するものである。

【0002】

【従来の技術】

従来、不揮発性半導体記憶装置は、たとえば特開 2 0 0 2 - 2 1 7 3 1 9 号公報（特許文献 1）に開示されている。

【0003】

【特許文献 1】

特開 2 0 0 2 - 2 1 7 3 1 9 号公報

【0004】

【発明が解決しようとする課題】

上記公報に開示の技術では、ゲート電極をマスクとして半導体基板に不純物を注入してソースおよびドレイン領域を形成するため、ゲート電極が微細化した場合にソースおよびドレイン領域がショートする。その結果、微細化が困難になるという問題があった。

【0005】

そこで、この発明は上記問題点を解決するためになされたものであり、微細化が可能な不揮発性半導体記憶装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】

この発明に従った不揮発性半導体記憶装置の製造方法は、複数のフローティングゲート電極と、複数のフローティングゲート電極上に形成されて所定の方向に延在するコントロールゲート電極とを有し、側面を含む複数の積層体を半導体基板の主表面上に形成する工程と、積層体を覆い、かつ、主表面にほぼ平行な頂面を有する層間絶縁膜を形成する工程と、層間絶縁膜の頂面上にマスク層を形成する工程と、マスク層をマスクとして層間絶縁膜を選択的にエッチングすることにより、隣り合う積層体の間に位置するように層間絶縁膜に開口部を形成する工程と、開口部から主表面に不純物イオンを注入することにより、複数のフローティングゲート電極に沿って延びるソース領域を形成する工程とを備える。

【0007】

このような工程を備えた不揮発性半導体記憶装置の製造方法では、平坦な頂面にマスク層を形成するため、マスク層を精度よく形成することができる。このマスク層に従ってソース領域を形成するための開口を形成するため、微細なソース領域を確実に形成することができる。その結果、不揮発性半導体記憶装置の微細化が可能となる。

【0008】

【発明の実施の形態】

以下、この発明の実施の形態について、図面を参照して説明する。なお、以下の実施の形態において、同一または相当する部分については同一の参照符号を付し、その説明は繰返さない。

【0009】

(実施の形態1)

図1は、この発明の実施の形態1に従った不揮発性半導体記憶装置の平面図であり、図1の(A)はメモリセル領域の平面図であり、図1の(B)は周辺回路

領域の平面図である。図1の(A)および図1の(B)を参照して、この発明の実施の形態1に従った不揮発性半導体記憶装置500は、メモリセル領域300と、周辺回路領域400とを有する。メモリセル領域300では、分離絶縁膜としての埋込酸化膜6が形成されている。埋込酸化膜6上には所定方向に延びるようにコントロールゲート電極13が形成され、コントロールゲート電極13の下にはフローティングゲート電極8が形成されている。フローティングゲート電極8およびコントロールゲート電極13の側壁には側壁絶縁膜(サイドウォール絶縁膜)38が形成されている。2つのコントロールゲート電極13の間にはソース領域43が一方向に連なって形成されている。コントロールゲート電極13の一方側にソース領域43が形成されており、他方に不純物領域(ドレイン領域)34が形成されている。

【0010】

図1の(B)を参照して、周辺回路領域400では、ゲート電極14が形成されており、ゲート電極14の側壁には側壁絶縁膜38が形成されている。

【0011】

図2は、この発明の実施の形態1に従った不揮発性半導体記憶装置の断面図であり、図2の(A)は図1の(B)のIIA-IIA線に沿った断面図であり、図2の(B)は、図1の(A)のIIB-IIB線に沿った断面図であり、図2(C)は図1の(A)のIIC-IIC線に沿った断面図である。図3は、図1の(A)のIII-III線に沿った断面図である。図4は、図1の(A)中のIV-IV線に沿った断面図である。

【0012】

図2の(A)を参照して、周辺回路領域400では、シリコン基板1の表面にトレンチ5が形成されている。トレンチ5をシリコン酸化膜からなる埋込酸化膜6が充填している。シリコン基板1の主表面1fには、低濃度の不純物領域37と、不純物領域37よりも不純物濃度の高い高濃度の不純物領域39が形成されている。不純物領域37および39は、n型不純物またはp型不純物を含む。

【0013】

シリコン基板1の主表面1fにはゲート絶縁膜としての熱酸化膜12が形成さ

れている。熱酸化膜 1 2 上にはドーフトポリシリコン層 1 3 a とタングステンシリサイド層 1 3 b とからなるゲート電極 1 4 にシリコン酸化膜 3 5 が形成されている。

【 0 0 1 4 】

ゲート電極 1 4 上にはシリコン酸化膜 3 0 およびシリコン窒化膜 3 1 が形成されている。シリコン酸化膜 3 0 およびシリコン窒化膜 3 1 に接触するように側壁絶縁膜 3 8 が形成されている。シリコン窒化膜 3 1 と側壁絶縁膜 3 8 を覆うように薄膜状のシリコン窒化膜 4 0 が形成されている。

【 0 0 1 5 】

層間絶縁膜 4 1 はゲート電極 1 4 を覆うように形成されている。層間絶縁膜 4 1 上にはシリコン酸化膜 6 2 が形成されている。シリコン酸化膜 6 2 および層間絶縁膜 4 1 には、主表面 1 f にまで達するコンタクトホール 4 1 a が形成されている。コンタクトホール 4 1 a は複数個形成され、その各々を充填するようにドーフトポリシリコンからなる配線層 2 8 が形成されている。

【 0 0 1 6 】

図 2 の (B) を参照して、ゲート電極のゲート幅方向では、シリコン基板 1 に複数のトレンチ 5 が互いに距離を隔てて形成されている。トレンチ 5 を埋込むように埋込酸化膜 6 が形成されている。主表面 1 f を覆うようにトンネル酸化膜としての熱酸化膜 7 が形成されている。熱酸化膜 7 および埋込酸化膜 6 上にはドーフトポリシリコンからなるフローティングゲート電極 8 が形成されている。フローティングゲート電極 8 は複数個が島状に形成されており、フローティングゲート電極 8 を覆うようにシリコン酸化膜、シリコン窒化膜およびシリコン酸化膜の 3 層構造の ONO 膜 1 0 が形成されている。

【 0 0 1 7 】

ONO 膜 1 0 上には、コントロールゲート電極 1 3 が形成されている。コントロールゲート電極 1 3 は、図 2 の (A) で示すドーフトポリシリコン層 1 3 a およびタングステンシリサイド層 1 3 b と同一の材質から構成される。コントロールゲート電極 1 3 を覆うようにシリコン酸化膜 3 0 、シリコン窒化膜 3 1 およびシリコン窒化膜 4 0 が積層されている。シリコン窒化膜 4 0 上には層間絶縁膜 4

1、シリコン酸化膜62および配線層28が形成されている。

【0018】

図2の(C)を参照して、シリコン基板1の主表面1fには、凹部1uが形成されている。凹部1uにはソース領域43が形成されており、ソース領域43は、シリコン基板1に高融点金属を接触させることで形成された、高融点金属を含むシリサイド領域61を含む。ソース領域43の深さはD1である。

【0019】

ソース領域43から離隔するように不純物領域34からなるドレイン領域が形成されている。ドレイン領域(不純物領域34)の深さはD2である。ソース領域43の深さD1はドレイン領域の深さD2よりも深い。

【0020】

シリコン基板1の主表面を覆うように熱酸化膜7が形成されている。熱酸化膜7上には、フローティングゲート電極8、ONO膜10、コントロールゲート電極13を含む積層体100が設けられている。積層体100は側面101を有し、その側面には側壁絶縁膜38が形成されている。

【0021】

コントロールゲート電極13上にはシリコン酸化膜30、シリコン窒化膜31およびシリコン窒化膜40が堆積されている。なお、ドーフトポリシリコン層13aおよびフローティングゲート電極8の側面にはシリコン酸化膜35が形成されている。積層体100を覆うように層間絶縁膜41、シリコン酸化膜62および配線層28が形成されている。

【0022】

不揮発性半導体記憶装置は、主表面1fを有する半導体基板としてのシリコン基板1と、フローティングゲート電極8と所定の方に延在するコントロールゲート電極13とを有し、主表面1f上に形成され、側面101を含む積層体100と、積層体100の両側でシリコン基板1に形成されたソース領域43および不純物領域(ドレイン領域)34と、積層体100の側面101を覆う側壁絶縁膜38とを備える。ソース領域43は主表面1fから不純物領域(ドレイン領域)34よりも深い部分に位置する。

【0023】

分離絶縁膜としての埋込酸化膜6がシリコン酸化膜を含み、側壁絶縁膜38がシリコン窒化膜を含む。ソース領域43の一部分であるシリサイド領域61は、側壁絶縁膜38をマスクとしてシリコン基板1を金属化することで形成される。

【0024】

図3を参照して、シリコン基板1には埋込酸化膜6が形成されている。埋込酸化膜6の間にソース領域43が形成されている。ソース領域43は、シリサイド領域61を含む。

【0025】

埋込酸化膜6上にはコントロールゲート電極13、シリコン酸化膜30、シリコン窒化膜31およびシリコン窒化膜40が形成されている。

【0026】

シリコン窒化膜40を覆うように層間絶縁膜41およびシリコン酸化膜62が形成されている。シリコン酸化膜62上に配線層28が形成されている。

【0027】

図4を参照して、シリコン基板1にはトレンチ5が形成されている。トレンチ5の表面には、シリサイド領域61を含むソース領域43が形成されている。ソース領域43はトレンチ5の表面に沿って延びる。

【0028】

シリコン基板1の表面には複数の分離絶縁膜としての埋込酸化膜6が形成されている。ソース領域43およびシリサイド領域61の一部分が複数の埋込酸化膜6の間に形成されている。

【0029】

次に、図2で示す不揮発性半導体記憶装置の製造方法について、図5から図28を参照して説明する。なお、図5から図25、図27および図28の(A)で示す断面は図2の(A)で示す断面に対応し、図5から図25、図27および図28の(B)で示す断面は図2の(B)で示す断面に対応し、図5から図25、図27および図28の(C)で示す断面は図2の(C)で示す断面に対応する。図5の(A)から図5の(C)を参照して、半導体基板としてのシリコン基板1

の主表面1fに、厚みが20nm程度の熱酸化膜2を形成する。続いて厚み200nmのシリコン窒化膜3を堆積する。シリコン窒化膜3上にレジストを塗布し、レジストを写真製版することによりレジストパターン4を形成する。

【0030】

図6の(A)から図6の(C)を参照して、レジストパターン4をマスクとして、シリコン窒化膜3および熱酸化膜2をドライエッチングする。レジストパターン4を除去した後、パターニングしたシリコン窒化膜3および熱酸化膜2をマスクとしてシリコン基板1をドライエッチングする。これにより深さが約300nmのトレンチ5を形成する。

【0031】

図7の(A)から図7の(C)を参照して、トレンチ5をエッチングする際のプラズマダメージ層を除去するためと、トレンチ5のコーナ部分での電界集中を防ぐためのトレンチコーナの丸めなどを目的として、トレンチ5の内壁を深さ300nm程度を熱酸化した後に、厚みが約500nmの埋込酸化膜6を堆積する。これによりトレンチ5に酸化膜を埋込む。

【0032】

図8の(A)から図8の(C)を参照して、埋込酸化膜6を化学的機械的研磨法(CMP)により平坦化する。

【0033】

図9の(A)から図9の(C)を参照して、埋込酸化膜6を、希フッ酸を用いることにより所定の量だけウェットエッチングする。

【0034】

図10の(A)から図10の(C)を参照して、シリコン窒化膜3を熱リン酸で除去する。この時点で、トレンチ素子分離(STI:shallow trench isolation)が形成される。

【0035】

図11の(A)から図11の(C)を参照して、n型ウェル領域、p型ウェル領域(図示せず)を形成するためのイオン注入を行なう。その後熱酸化膜2を希フッ酸で除去する。

【0036】

図12の(A)から図12の(C)を参照して、メモリセルのトンネル酸化膜となる、厚みが約10nmの熱酸化膜7を形成する。さらに、メモリセルのフローティングゲート電極となる、厚みが約100nm程度のリンが添加されたドーフトポリシリコン層8aを形成する。ドーフトポリシリコン層8a上にレジストを塗布し、レジストを写真製版することによりレジストパターン9を形成する。

【0037】

図13の(A)から図13の(C)を参照して、レジストパターン9をマスクとして、ドーフトポリシリコン層8aをドライエッチングすることにより、フローティングゲート電極のゲート幅方向のパターニングを行なう。レジストパターン9を除去した後、ドーフトポリシリコン層8a上に、厚みが約5nmの熱酸化膜を形成し、続いてシリコン窒化膜およびシリコン酸化膜を堆積することにより、酸化膜/窒化膜/酸化膜の3層からなるONO膜10を形成する。

【0038】

図14の(A)から図14の(C)を参照して、シリコン基板1上にレジストを塗布し、このレジストを写真製版することによりレジストパターン11を形成する。レジストパターン11は周辺回路領域400を露出させ、メモリセル領域300を覆う。

【0039】

図15の(A)から図15の(C)を参照して、レジストパターン11をマスクとして、周辺回路領域400のONO膜10およびドーフトポリシリコン層8aをドライエッチングによって除去する。その後希フッ酸により熱酸化膜7を除去する。

【0040】

図16の(A)から図16の(C)を参照して、レジストパターン11を除去した後、周辺回路領域400のゲート酸化膜となる、厚みが約15nmの熱酸化膜12を形成する。続けて、メモリセル領域300のコントロールゲート電極および周辺回路領域400のゲート電極となる、厚みが約100のリンがドーブされたドーフトポリシリコン層13a、およびタングステンシリサイド(WSi)

層 13b を堆積する。さらに、その上に、厚みが約 10 nm のシリコン酸化膜 30、厚みが約 200 nm のシリコン窒化膜 31 を堆積する。

【0041】

シリコン窒化膜 31 上にレジストを塗布し、このレジストを写真製版することによりレジストパターン 32 を形成する。

【0042】

図 17 の (A) から図 17 の (C) を参照して、レジストパターン 32 をマスクとして、シリコン窒化膜 31 およびシリコン酸化膜 30 をドライエッチングする。レジストパターン 32 を除去した後に、パターニングされたシリコン窒化膜 31 およびシリコン酸化膜 30 をマスクとして、タンゲステンシリサイド (WSi) 層 13b およびドーフトポリシリコン層 13a をドライエッチングすることにより、メモリセル領域 300 のコントロールゲート電極 13 および周辺回路領域 400 のゲート電極 14 を形成する。

【0043】

図 18 の (A) から図 18 の (C) を参照して、シリコン基板 1 を覆うようにレジストを塗布する。レジストを写真製版することによりレジストパターン 33 を形成する。レジストパターン 33 は周辺回路領域 400 を覆う。

【0044】

図 19 の (A) から図 19 の (C) を参照して、レジストパターン 33 およびパターニングしたシリコン窒化膜 31、シリコン酸化膜 30、タンゲステンシリサイド層 13b およびドーフトポリシリコン層 13a をマスクとして、メモリセル領域 300 の ONO 膜 10 およびドーフトポリシリコン層 8a をドライエッチングすることにより、フローティングゲート電極のゲート長 (L) 方向のパターニングを行なう。これによりフローティングゲート電極 8 を形成する。ついでシリコン基板 1 に不純物イオンを注入することにより、メモリセル領域 300 において不純物領域 34 および 143 を形成する。不純物領域 34 は、ドレイン領域である。その後レジストパターン 33 を除去する。

【0045】

図 20 の (A) から図 20 の (C) を参照して、ドーフトポリシリコン層 13

a およびフローティングゲート電極8の側壁に、熱酸化により厚みが約10nmのシリコン酸化膜35を形成する。シリコン基板1に不純物イオンを注入することにより周辺回路領域400に不純物領域37を形成する。シリコン基板1の全面を覆うように厚みが約100nmのシリコン窒化膜36を堆積する。

【0046】

図21の(A)から図21の(C)を参照して、シリコン窒化膜36をエッチバックすることにより側壁絶縁膜38を形成する。次に不純物イオンを注入することにより周辺回路領域400の高濃度の不純物領域39を形成する。

【0047】

図22の(A)から図22の(C)を参照して、エッチングストップとなる、厚みが約20nmのシリコン窒化膜40を堆積する。その後、厚みが約1000のBPSG(ボロンリンシリケートガラス)からなる層間絶縁膜41を堆積する。層間絶縁膜41をCMP法などにより平坦化する。

【0048】

図23の(A)から図23の(C)を参照して、層間絶縁膜41上にレジストを塗布する。このレジストを写真製版することにより、周辺回路領域400およびメモリセル領域300のドレイン側半分を覆うレジストパターン42を形成する。この時点で下地である層間絶縁膜41の頂面41tは主表面1fとほぼ平行であり、かつ平坦であるので、高精度の写真製版を行なうことができる。

【0049】

図24の(A)から図24の(C)を参照して、レジストパターン42をマスクとして層間絶縁膜41をドライエッチングする。これにより、メモリセル領域300のソース領域上に、コントロールゲート電極13と平行な溝41hを形成する。この際、シリコン窒化膜40がエッチングされず、層間絶縁膜41がエッチングされやすい条件、すなわちシリコン窒化膜40との選択比が高いエッチング条件を適用することによって、シリコン窒化膜40を突き抜けないようにする。

【0050】

図25の(A)から図25の(C)を参照して、エッチング条件を変更してシ

リコン窒化膜40をエッチングする。さらに、再びシリコン窒化膜との選択比が高い条件に変更して、埋込酸化膜6を除去する。図25の(C)で示されるように、シリコン基板1には凹部1uが形成される。図26で示されるように、埋込酸化膜を除去した後、矢印161で示す方向からイオン注入を行なうことによってゲート幅方向の隣接メモリセルの不純物領域が接続されてソース領域43が形成される。すなわち、図26で示すように、ソース領域43はトレンチ5に沿って形成される。なお、この工程の前では、ゲート幅方向の隣接するメモリセル間はトレンチ素子分離によって不純物領域が分離されている。

【0051】

図27の(A)から図27の(C)を参照して、厚みが10nm程度のコバルトまたはチタンなどの高融点金属層60を堆積する。

【0052】

図28の(A)から図28の(C)を参照して、シリサイド化するための熱処理を行なう。その後、未反応の高融点金属層60を除去する。この時点では、ソース領域43の表面のみシリコンが露出しているため、ソース領域43の表面がシリサイド領域61となる。

【0053】

図2の(A)から(C)を参照して、厚みが約500nmのシリコン酸化膜62を堆積することによりソース領域43表面を覆う。その後シリコン酸化膜62上にレジストを塗布し、レジストを写真製版することによりレジストパターンを形成する。レジストパターンをマスクとしてシリコン酸化膜62および層間絶縁膜41をエッチングすることにより、コンタクトホール41aを形成する。コンタクトホール41aはシリコン基板1の主表面1fまでに達する。コンタクトホール41aを覆うようにドーフトポリシリコン層を形成し、このドーフトポリシリコン層を所定の形状にパターニングすることにより配線層28を形成する。これにより図2で示す不揮発性半導体記憶装置が完成する。

【0054】

以上のような不揮発性半導体記憶装置の製造方法は、複数のフローティングゲート電極8と、複数のフローティングゲート電極8上に形成されて所定の方向に

延在するコントロールゲート電極13とを有し、側面101を含む複数の積層体100をシリコン基板1の主表面1f上に形成する工程と、複数の積層体100の側面101とシリコン基板1の主表面1fとを覆う絶縁膜としてのシリコン窒化膜36を形成する工程と、シリコン窒化膜36をエッチバックするとともに、積層体100の側面101を覆うシリコン窒化膜36を残存させて側壁絶縁膜38を形成する工程と、積層体100と側壁絶縁膜38とを覆い、かつ、主表面1fにはほぼ平行な頂面41tを有する層間絶縁膜41を形成する工程と、層間絶縁膜41の頂面41t上にマスク層としてのレジストパターン42を形成する工程と、レジストパターン42をマスクとして層間絶縁膜41を選択的にエッチングすることにより、隣り合う積層体100に形成された側壁絶縁膜38の間に位置するように層間絶縁膜41に開口部としての溝41hを形成する工程と、溝41hから主表面1fに不純物イオンを注入することにより、複数のフローティングゲート電極8に沿って延びるソース領域43を形成する工程とを備える。不揮発性半導体記憶装置の製造方法は、ソース領域43の一部を金属化する工程としてシリサイド領域61を形成する工程をさらに備える。

【0055】

不揮発性半導体記憶装置の製造方法は、複数のフローティングゲート電極8と、複数のフローティングゲート電極8上に形成されて所定の方に延在するコントロールゲート電極13とを有し、側面101を含む複数の積層体100をシリコン基板1の主表面1f上に形成する工程と、積層体100を覆うシリコン窒化膜36を形成する工程と、シリコン窒化膜36をエッチバックすることにより、複数の積層体100の側面101を覆う側壁絶縁膜38を形成する工程と、側壁絶縁膜38をマスクとしてシリコン基板1に不純物を注入することにより、複数の積層体100の間でシリコン基板1に、複数のフローティングゲート電極8に沿って延在するソース領域43を形成する工程とを備える。

【0056】

不揮発性半導体記憶装置の製造方法は、シリコン基板1に複数の分離絶縁膜としての埋込酸化膜6を形成する工程をさらに備え、ソース領域43の一部が複数の埋込酸化膜の間に形成されている。側壁絶縁膜38上にシリコン窒化膜40

が形成される。不揮発性半導体記憶装置の製造方法は、側壁絶縁膜 3 8 およびシリコン窒化膜 4 0 をマスクとしてソース領域 4 3 の一部分を金属化する工程をさらに備える。

【0057】

以上のように構成された不揮発性半導体記憶装置では、まず、ソース領域 4 3 はシリサイド領域 6 1 を含む。その結果、ソース領域 4 3 の抵抗を小さくすることができる。さらに、ソース領域 4 3 の深さがドレイン領域としての不純物領域 3 4 よりも深く、ソース領域 4 3 は、側壁絶縁膜 3 8 をマスクとしてシリコン基板 1 をエッチングして設けられた凹部 1 u に形成される。その結果、ソース領域 4 3 とフローティングゲート電極 8 との距離を遠くすることができ、ソース領域 4 3 とフローティングゲート電極 8 とのショートを防止することができる。

【0058】

さらに、図 3 で示すように、複数の埋込酸化膜 6 の間にソース領域 4 3 が形成されるため、分離領域としての埋込酸化膜 6 の間のスペースを有効に活用することができる。

【0059】

また、自己整合的に形成された側壁絶縁膜 3 8 をマスクとしてシリコン基板 1 に不純物を注入することでソース領域 4 3 が形成されるため、複数の積層体の間隔が微細化しても、複数の積層体 1 0 0 の間に確実にソース領域 4 3 を形成することができる。その結果、不揮発性半導体記憶装置の微細化が可能となる。

【0060】

さらに、平坦な頂面 4 1 t にレジストパターン 4 2 を形成するため、レジストパターン 4 2 を形成する工程での位置合わせのマージンを拡大し、スケーラビリティを向上させることができる。この製造方法では、SAC（セルフアラインコンタクト）と同様に窒化膜に対して自己整合的にソース領域 4 3 が形成される。凹部 1 u を形成する工程では、フローティングゲート電極 8 の下の熱酸化膜 7 が側壁絶縁膜 3 8 で保護されているため、プラズマダメージを受けないという効果がある。

【0061】

また、この製造方法では、メモリセル領域 3 0 0 のドレイン領域および周辺回路領域のソースおよびドレイン領域はシリサイド化されない。シリサイド化は、抵抗を下げる効果がある反面、接合リークの増大を招くおそれがある。最も抵抗を下げたいソース領域 4 3 のみシリサイド化することで、上記問題の発生を防止することができる。

【 0 0 6 2 】

(実施の形態 2)

図 2 9 は、この発明の実施の形態 2 に従った不揮発性半導体記憶装置の断面図であり、図 2 9 の (A) で示す断面は図 2 の (A) に対応する断面図であり、図 2 9 の (B) で示す断面は図 2 の (B) に対応する断面図であり、図 2 9 の (C) で示す断面は、図 2 の (C) に対応する断面図である。図 2 9 の (A) から図 2 9 の (C) を参照して、この発明の実施の形態 2 に従った不揮発性半導体記憶装置では、シリコン酸化膜 5 1 が形成されている点で、実施の形態 1 に従った不揮発性半導体記憶装置と異なる。

【 0 0 6 3 】

次に、図 2 9 で示す不揮発性半導体記憶装置の製造方法について説明する。図 3 0 から図 3 8 は、図 2 9 で示す不揮発性半導体記憶装置の製造方法を示す断面図である。図 3 0 から図 3 5、図 3 7 および図 3 8 の (A) で示す断面は図 2 9 の (A) で示す断面に対応し、図 3 0 から図 3 5、図 3 7 および図 3 8 の (B) で示す断面は図 2 9 の (B) で示す断面に対応し、図 3 0 から図 3 5、図 3 7 および図 3 8 の (C) で示す断面は図 2 9 の (C) で示す断面に対応する。図 3 0 の (A) から図 3 0 の (C) を参照して、まず、実施の形態 1 と同様の工程に従い、周辺回路領域 4 0 0 ではゲート電極 1 4 を形成し、メモリセル領域 3 0 0 では積層体 1 0 0 を形成する。

【 0 0 6 4 】

図 3 1 の (A) から図 3 1 の (C) を参照して、熱酸化により、ドーフトポリシリコン層 1 3 a およびフローティングゲート電極 8 の側壁を熱酸化することにより、厚みが 1 0 n m 程度のシリコン酸化膜 3 5 を形成する。次に、シリコン基板 1 にイオン注入をすることにより周辺回路領域 4 0 0 で低濃度の不純物領域 3

7を形成する。その後シリコン基板1を覆うように厚みが約50nmのシリコン酸化膜40を形成する。

【0065】

図32の(A)から図32の(C)を参照して、厚みが約100nmのシリコン酸化膜51を堆積した後、シリコン酸化膜51上にレジストを塗布する。レジストを写真製版することによりレジストパターン52を形成する。

【0066】

図33の(A)から図33の(C)を参照して、周辺回路領域400のシリコン酸化膜51をエッチングすることによりシリコン酸化膜53を形成する。その後周辺回路領域400に不純物イオンを注入することにより周辺回路領域400の高濃度の不純物領域39を形成する。

【0067】

なお、実施の形態1では、自己整合的にソース領域を形成するためのメモリセル領域の側壁絶縁膜と、周辺回路領域400のトランジスタのソースおよびドレイン領域の構造をLDD(lightly-doped-drain)構造とするための側壁絶縁膜を同時に形成するが、この方法では、それぞれの側壁絶縁膜に最適なサイドウォール幅が一致しない可能性がある。

【0068】

自己整合的にソース領域を形成するために必要な最小幅の側壁絶縁膜を形成する場合、そのとき同時に形成される周辺回路領域のトランジスタの側壁絶縁膜の幅が、メモリセル領域に必要な最小の側壁絶縁膜の幅より小さければこれらを両立させるためにメモリセル領域300の側壁絶縁膜の幅を大きくする必要がある。その結果、メモリセル領域300が拡大する。

【0069】

それに対して、この実施の形態では、メモリセル領域300と周辺回路領域400の側壁絶縁膜の幅を独立して設定することができるため、実施の形態1よりもメモリセル領域300を縮小することが可能である。

【0070】

図34の(A)から図34の(C)を参照して、厚みが約1000nmのBP

SGからなる層間絶縁膜41を堆積する。層間絶縁膜41をCMPなどにより平坦化して主表面1fにほぼ平行な頂面41tを形成する。層間絶縁膜41の頂面41t上にレジストを塗布し、レジストを写真製版してレジストパターン56を形成する。レジストパターン56は、周辺回路領域400およびメモリセルのドレイン側半分を覆う。レジストパターン56をマスクとして層間絶縁膜41をドライエッチングすることにより、ソース領域上にコントロールゲート電極13と平行な溝41hを形成する。このとき、シリコン窒化膜がエッチングされにくく、BPSGがエッチングされやすい条件、すなわち、シリコン窒化膜40との選択比が高いエッチング条件を適用することによって、シリコン窒化膜40を突き抜けないようにする。この時点では下地は平坦であるので、実施の形態1と同様に高精度の写真製版を行なうことができる。

【0071】

図35の(A)から図35の(C)を参照して、エッチング条件を変更して、シリコン窒化膜40をエッチバックして側壁絶縁膜40aを形成する。ここまでは、自己整合的にコンタクトホールが形成されるSAC(self align contact)と同様の方法であり、ホールパターンがラインパターンに変わっただけである。さらに、再びシリコン窒化膜との選択比が高い条件に変更して埋込酸化膜6を除去する。その後、矢印161で示す方向から、不純物イオンを注入することにより、フローティングゲート電極8の並ぶ方向に沿って延びるソース領域43を形成する。図36で示すように、ソース領域43上では埋込酸化膜6が除去される。

【0072】

図37の(A)から図37の(C)を参照して、厚みが10nm程度のコバルトまたはチタンなどの高融点金属層60を堆積する。

【0073】

図38の(A)から図38の(C)を参照して、シリサイド化するための熱処理を行なう。その後、未反応の高融点金属層60を除去する。この時点では、ソース領域43の表面のみシリコンが露出しているため、ソース領域43の表面がシリサイド領域61となる。

【0074】

図 2 9 の (A) から (C) を参照して、厚みが約 5 0 0 n m のシリコン酸化膜 6 2 を堆積することによりソース領域 4 3 表面を覆う。その後シリコン酸化膜 6 2 上にレジストを塗布し、レジストを写真製版することによりレジストパターンを形成する。レジストパターンをマスクとしてシリコン酸化膜 6 2 および層間絶縁膜 4 1 をエッチングすることにより、コンタクトホール 4 1 a を形成する。コンタクトホール 4 1 a はシリコン基板 1 の主表面 1 f までに達する。コンタクトホール 4 1 a を覆うようにドーフトポリシリコン層を形成し、このドーフトポリシリコン層を所定の形状にパターニングすることにより配線層 2 8 を形成する。これにより図 2 9 で示す不揮発性半導体記憶装置が完成する。

【 0 0 7 5 】

(実施の形態 3)

図 3 9 は、この発明の実施の形態 3 に従った不揮発性半導体記憶装置の断面図であり、図 2 に対応する断面である。図 4 0 は、この発明の実施の形態 3 に従った不揮発性半導体記憶装置の断面図であり、図 3 に対応する断面である。図 4 1 は、この発明の実施の形態 3 に従った不揮発性半導体記憶装置の断面図であり、図 4 に対応する断面である。図 3 9 から 4 1 を参照して、この発明の実施の形態 3 に従った不揮発性半導体記憶装置では、ソース領域 4 3 の一部分が金属化（シリサイド化）されていない点で、実施の形態 1 に従った不揮発性半導体記憶装置と異なる。ソース領域 4 3 の表面が金属化されていないため、ソース領域 4 3 がシリコン酸化膜 6 2 に直接接触している。

【 0 0 7 6 】

このような不揮発性半導体記憶装置の製造方法は、実施の形態 1 の半導体装置の製造方法から、図 2 7 および図 2 8 で示す工程を取り除いたものとなる。すなわち、図 2 7 および図 2 8 のシリサイド化の工程を省略することで、図 3 9 から 4 1 で示す不揮発性半導体記憶装置が完成する。

【 0 0 7 7 】

このような不揮発性半導体記憶装置およびその製造方法では、ソース領域 4 3 のシリサイド化による効果はないが、それ以外では実施の形態 1 と同様の効果がある。

【0078】

(実施の形態4)

図42は、この発明の実施の形態4に従った不揮発性半導体記憶装置の断面図である。図42を参照して、この発明の実施の形態4に従った不揮発性半導体記憶装置では、ソース領域43の一部分が金属化（シリサイド化）されていない点で、実施の形態2に従った不揮発性半導体記憶装置と異なる。

【0079】

このような不揮発性半導体記憶装置の製造方法は、実施の形態2の半導体装置の製造方法から、図37および図38で示す工程を取り除いたものとなる。すなわち、図37および図38のシリサイド化の工程を省略することで、図42で示す不揮発性半導体記憶装置が完成する。

【0080】

このような不揮発性半導体記憶装置およびその製造方法では、ソース領域43のシリサイド化による効果はないが、それ以外では実施の形態2と同様の効果がある。

【0081】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0082】

【発明の効果】

この発明に従えば、微細化が可能な不揮発性半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従った不揮発性半導体記憶装置の平面図であり、図1の(A)はメモリセル領域の平面図であり、図1の(B)は周辺回路領域の平面図である。

【図2】 この発明の実施の形態1に従った不揮発性半導体記憶装置の断面

図であり、図2の(A)は図1の(B)のIIA-IIA線に沿った断面図であり、図2の(B)は、図1の(A)のIIB-IIB線に沿った断面図であり、図2(C)は図1の(A)のIIC-IIC線に沿った断面図である。

【図3】 図1の(A)のIII-III線に沿った断面図である。

【図4】 図1の(A)中のIV-IV線に沿った断面図である。

【図5】 図2で示す不揮発性半導体記憶装置の製造方法の第1工程を示す断面図である。

【図6】 図2で示す不揮発性半導体記憶装置の製造方法の第2工程を示す断面図である。

【図7】 図2で示す不揮発性半導体記憶装置の製造方法の第3工程を示す断面図である。

【図8】 図2で示す不揮発性半導体記憶装置の製造方法の第4工程を示す断面図である。

【図9】 図2で示す不揮発性半導体記憶装置の製造方法の第5工程を示す断面図である。

【図10】 図2で示す不揮発性半導体記憶装置の製造方法の第6工程を示す断面図である。

【図11】 図2で示す不揮発性半導体記憶装置の製造方法の第7工程を示す断面図である。

【図12】 図2で示す不揮発性半導体記憶装置の製造方法の第8工程を示す断面図である。

【図13】 図2で示す不揮発性半導体記憶装置の製造方法の第9工程を示す断面図である。

【図14】 図2で示す不揮発性半導体記憶装置の製造方法の第10工程を示す断面図である。

【図15】 図2で示す不揮発性半導体記憶装置の製造方法の第11工程を示す断面図である。

【図16】 図2で示す不揮発性半導体記憶装置の製造方法の第12工程を示す断面図である。

【図 1 7】 図 2 で示す不揮発性半導体記憶装置の製造方法の第 1 3 工程を示す断面図である。

【図 1 8】 図 2 で示す不揮発性半導体記憶装置の製造方法の第 1 4 工程を示す断面図である。

【図 1 9】 図 2 で示す不揮発性半導体記憶装置の製造方法の第 1 5 工程を示す断面図である。

【図 2 0】 図 2 で示す不揮発性半導体記憶装置の製造方法の第 1 6 工程を示す断面図である。

【図 2 1】 図 2 で示す不揮発性半導体記憶装置の製造方法の第 1 7 工程を示す断面図である。

【図 2 2】 図 2 で示す不揮発性半導体記憶装置の製造方法の第 1 8 工程を示す断面図である。

【図 2 3】 図 2 で示す不揮発性半導体記憶装置の製造方法の第 1 9 工程を示す断面図である。

【図 2 4】 図 2 で示す不揮発性半導体記憶装置の製造方法の第 2 0 工程を示す断面図である。

【図 2 5】 図 2 で示す不揮発性半導体記憶装置の製造方法の第 2 1 工程を示す断面図である。

【図 2 6】 図 2 5 の X X V I - X X V I 線に沿った断面図である。

【図 2 7】 図 2 で示す不揮発性半導体記憶装置の製造方法の第 2 2 工程を示す断面図である。

【図 2 8】 図 2 で示す不揮発性半導体記憶装置の製造方法の第 2 3 工程を示す断面図である。

【図 2 9】 この発明の実施の形態 2 に従った不揮発性半導体記憶装置の断面図であり、図 2 9 の (A) で示す断面は図 2 の (A) に対応する断面図であり、図 2 9 の (B) で示す断面は図 2 の (B) に対応する断面図であり、図 2 9 の (C) で示す断面は、図 2 の (C) に対応する断面図である。

【図 3 0】 図 2 9 で示す不揮発性半導体記憶装置の製造方法の第 1 工程を示す断面図である。

【図 3 1】 図 2 9 で示す不揮発性半導体記憶装置の製造方法の第 2 工程を示す断面図である。

【図 3 2】 図 2 9 で示す不揮発性半導体記憶装置の製造方法の第 3 工程を示す断面図である。

【図 3 3】 図 2 9 で示す不揮発性半導体記憶装置の製造方法の第 4 工程を示す断面図である。

【図 3 4】 図 2 9 で示す不揮発性半導体記憶装置の製造方法の第 5 工程を示す断面図である。

【図 3 5】 図 2 9 で示す不揮発性半導体記憶装置の製造方法の第 6 工程を示す断面図である。

【図 3 6】 図 3 5 の X X X V I - X X X V I 線に沿った断面図である。

【図 3 7】 図 2 9 で示す不揮発性半導体記憶装置の製造方法の第 7 工程を示す断面図である。

【図 3 8】 図 2 9 で示す不揮発性半導体記憶装置の製造方法の第 8 工程を示す断面図である。

【図 3 9】 この発明の実施の形態 3 に従った不揮発性半導体記憶装置の断面図であり、図 2 に対応する断面図である。

【図 4 0】 この発明の実施の形態 3 に従った不揮発性半導体記憶装置の断面図であり、図 3 に対応する断面図である。

【図 4 1】 この発明の実施の形態 3 に従った不揮発性半導体記憶装置の断面図であり、図 4 に対応する断面図である。

【図 4 2】 この発明の実施の形態 4 に従った不揮発性半導体記憶装置の断面図であり、図 2 に対応する断面図である。

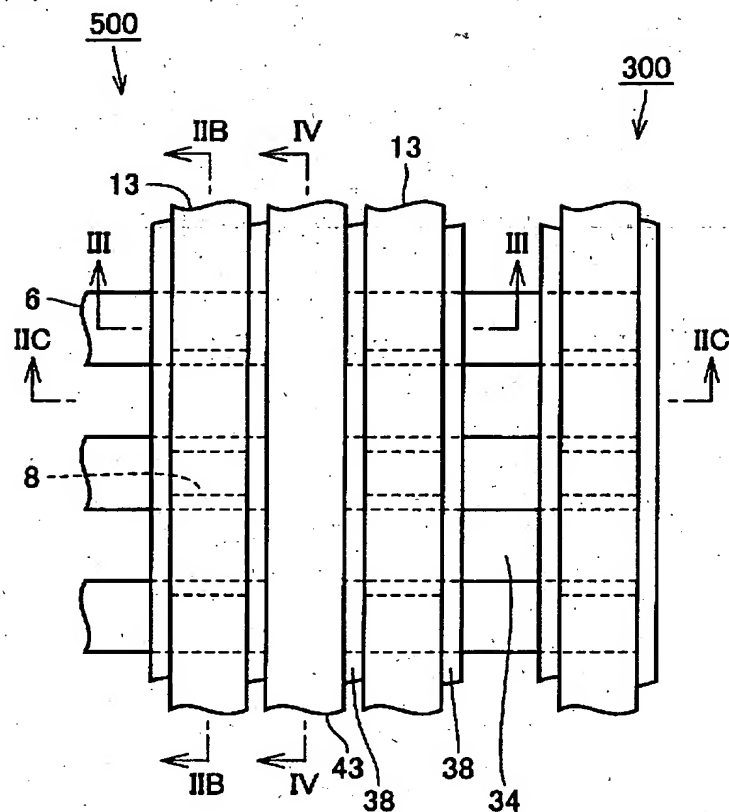
【符号の説明】

1 シリコン基板、1 f 主表面、6 埋込酸化膜、8 フローティングゲート電極、1 3 コントロールゲート電極、3 4 不純物領域、3 8 側壁絶縁膜、4 3 ソース領域、6 1 シリサイド領域、1 0 0 積層体、1 0 1 側面、5 0 0 不揮発性半導体記憶装置。

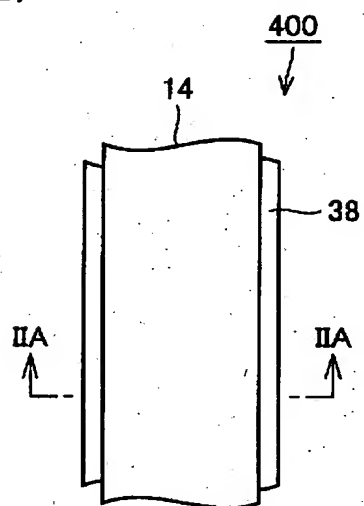
【書類名】 図面

【図 1】

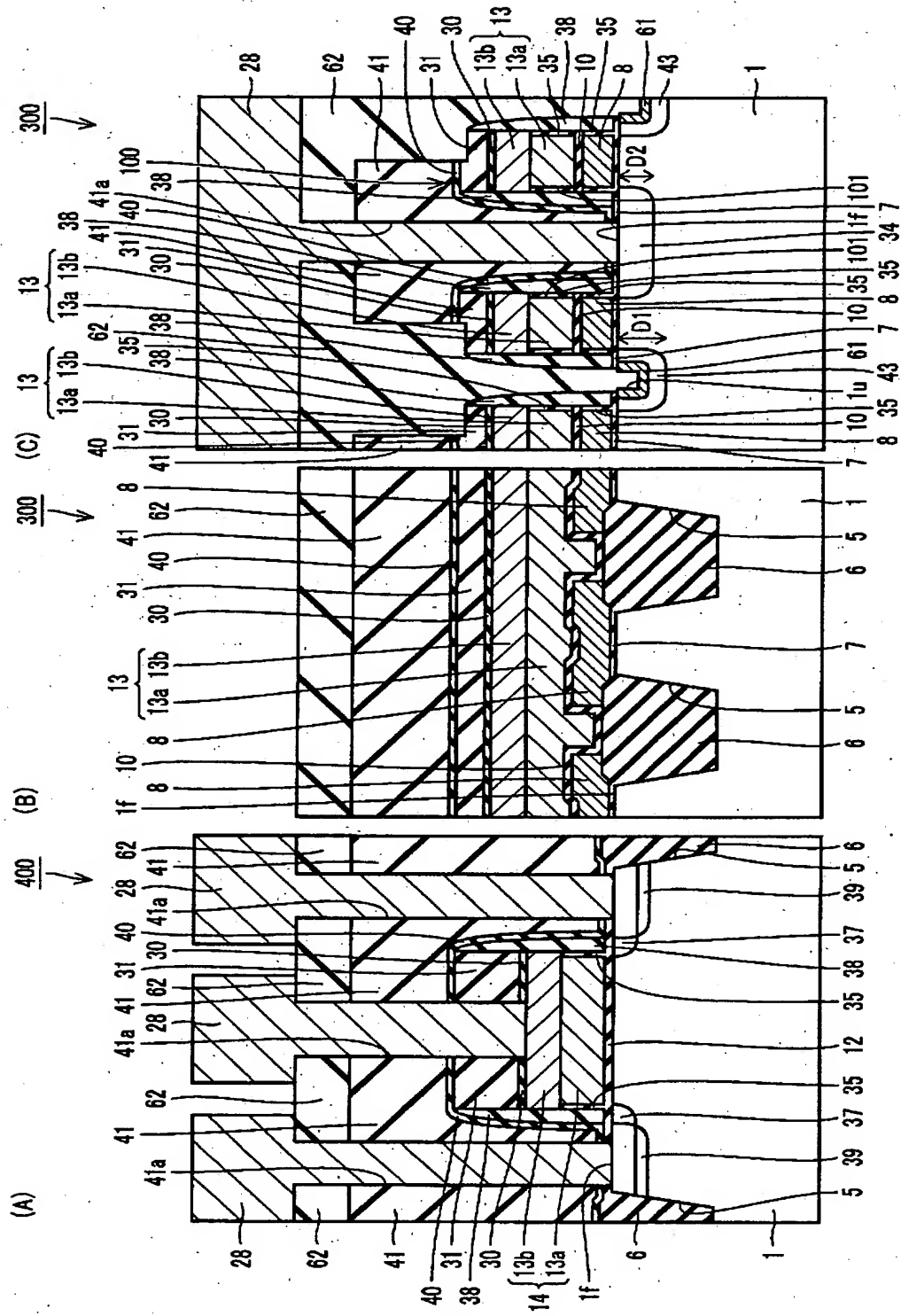
(A)



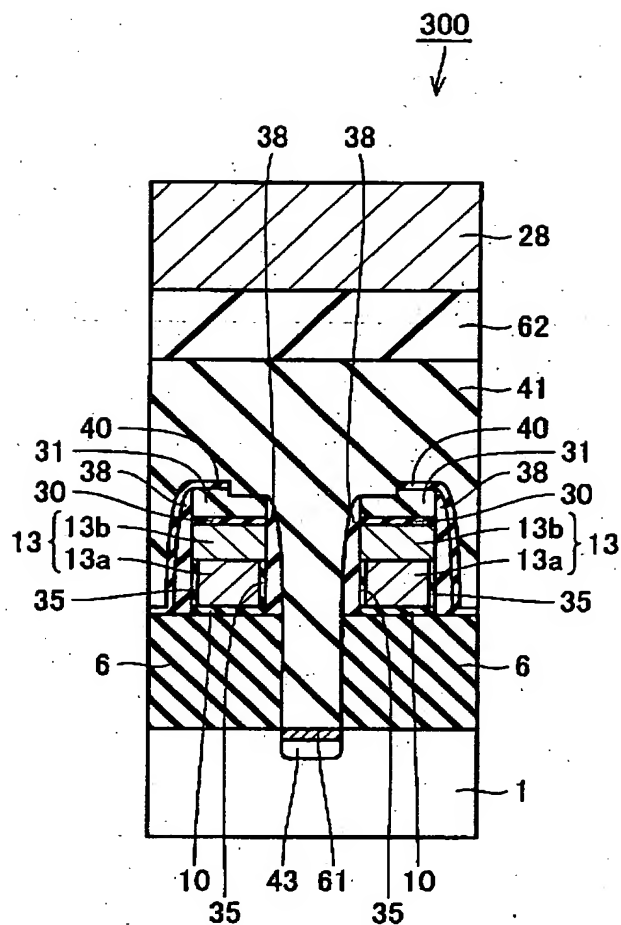
(B)



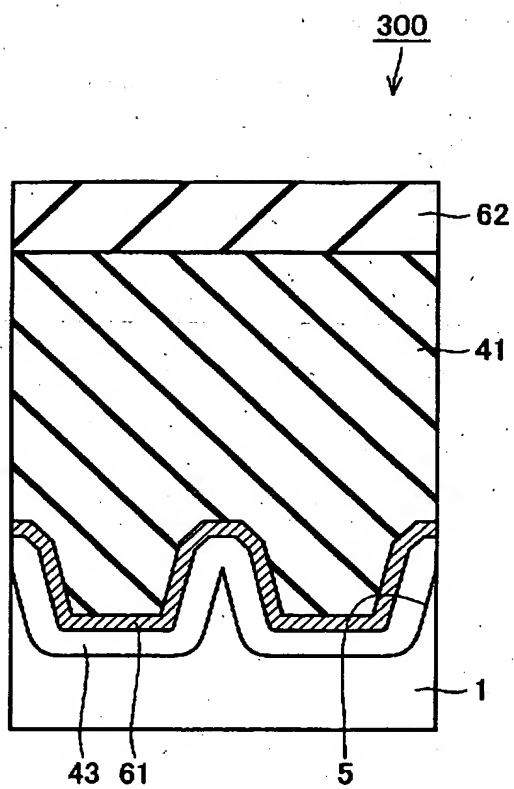
【図 2】



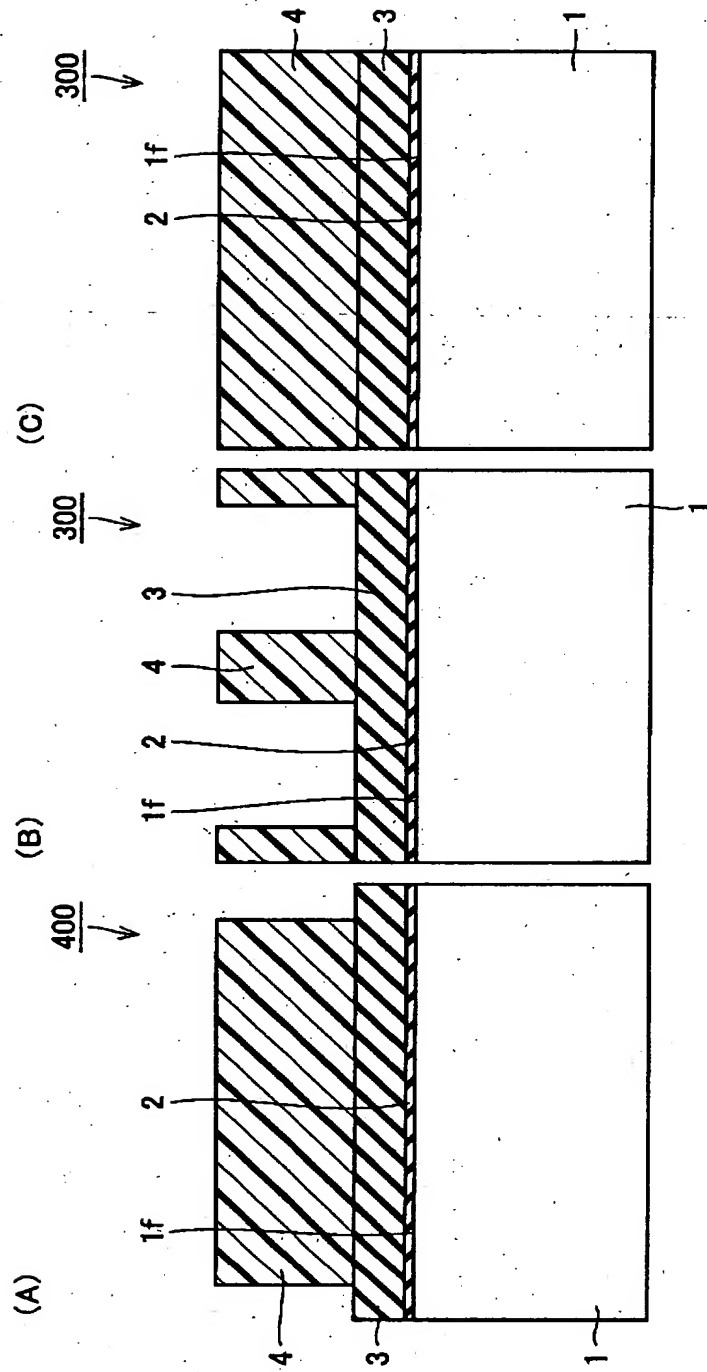
【図 3】



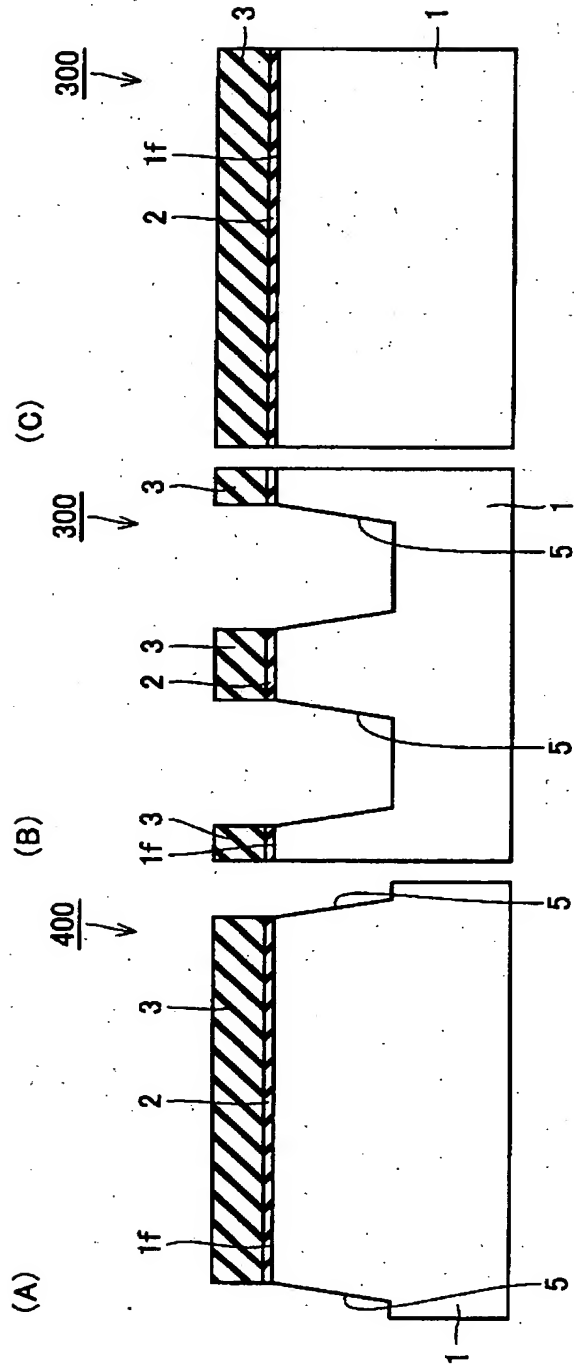
【图 4】



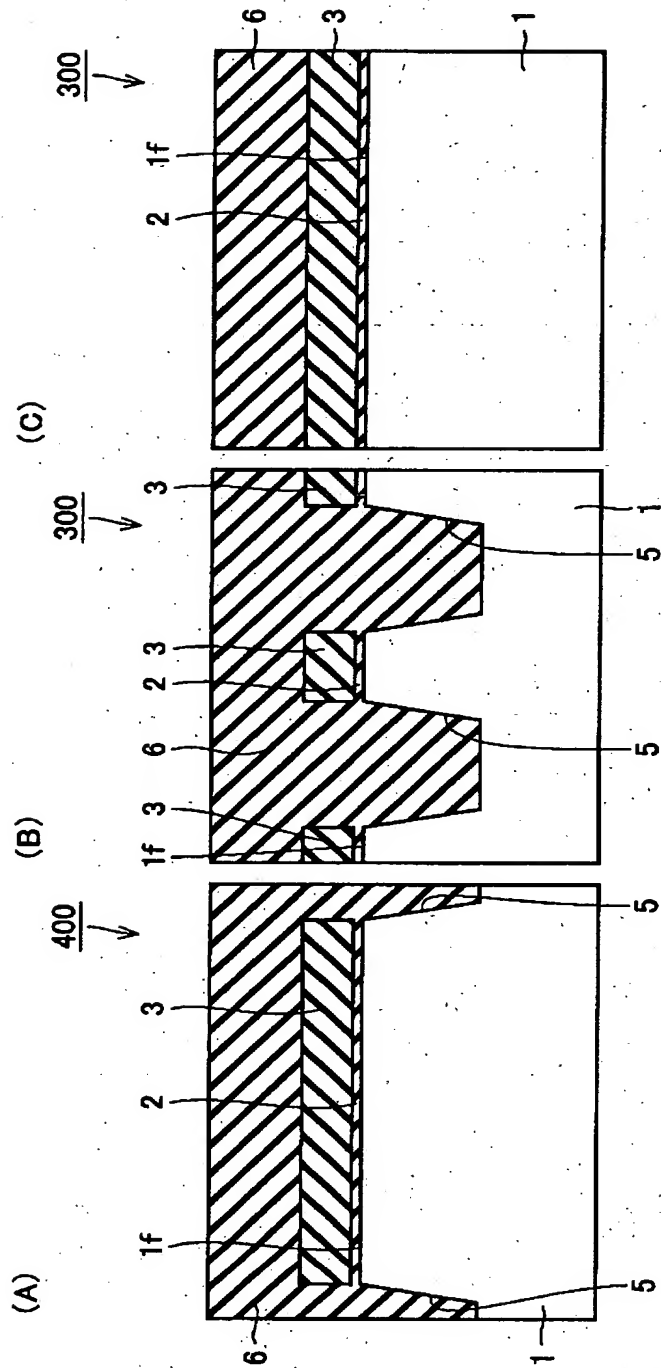
【図 5】



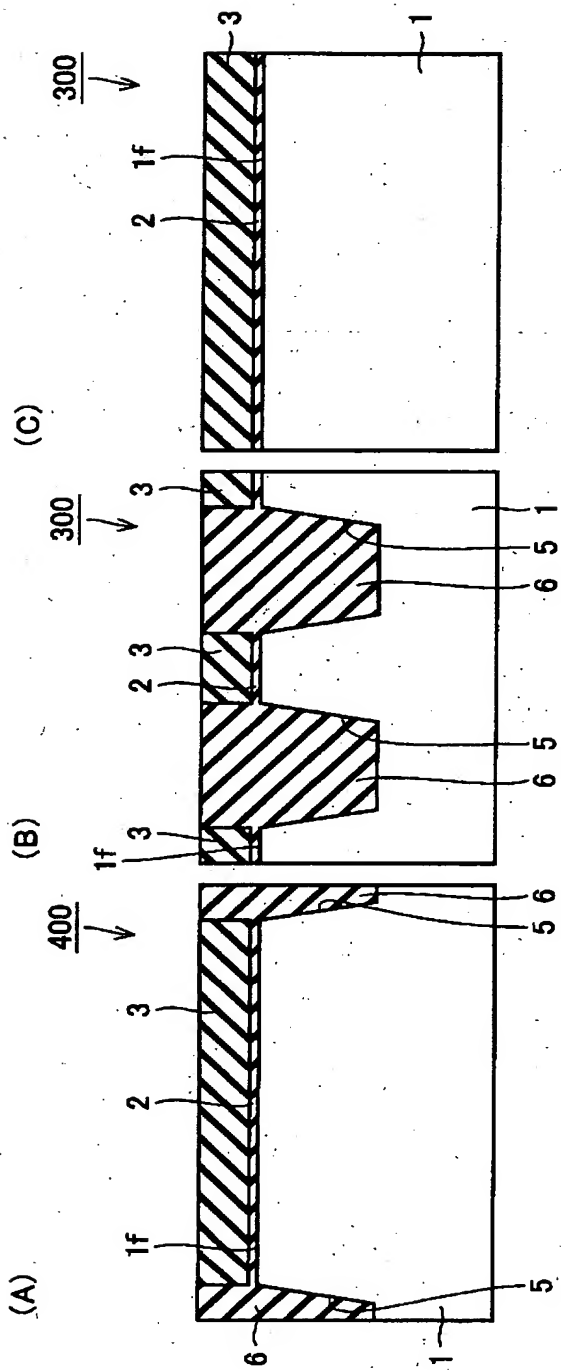
【図 6】



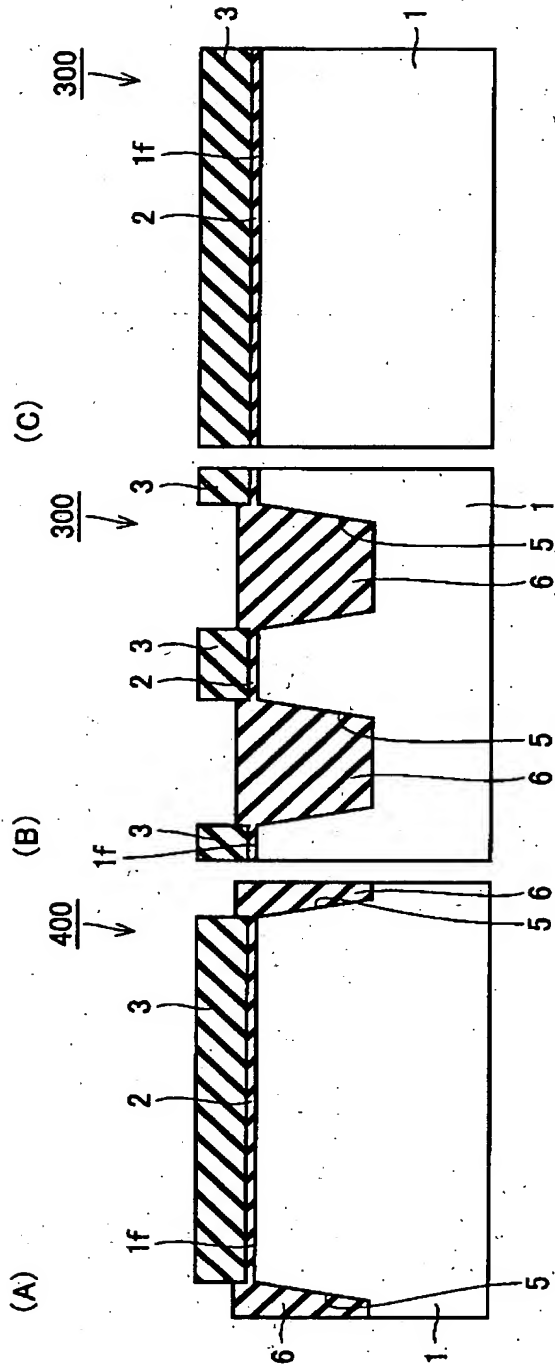
【図 7】



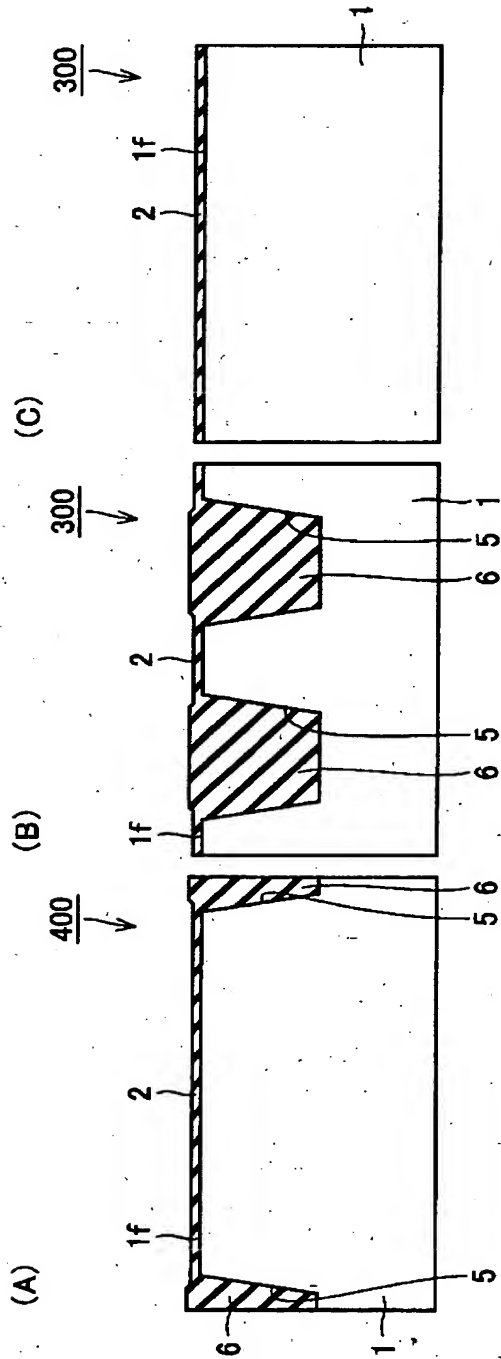
【圖 8.】



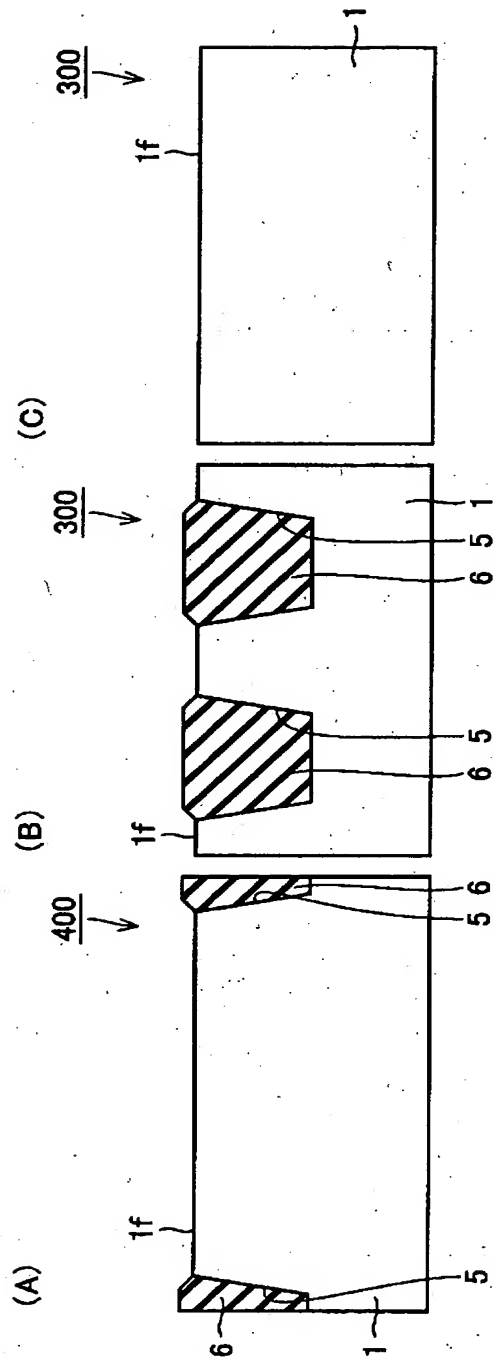
【図 9】



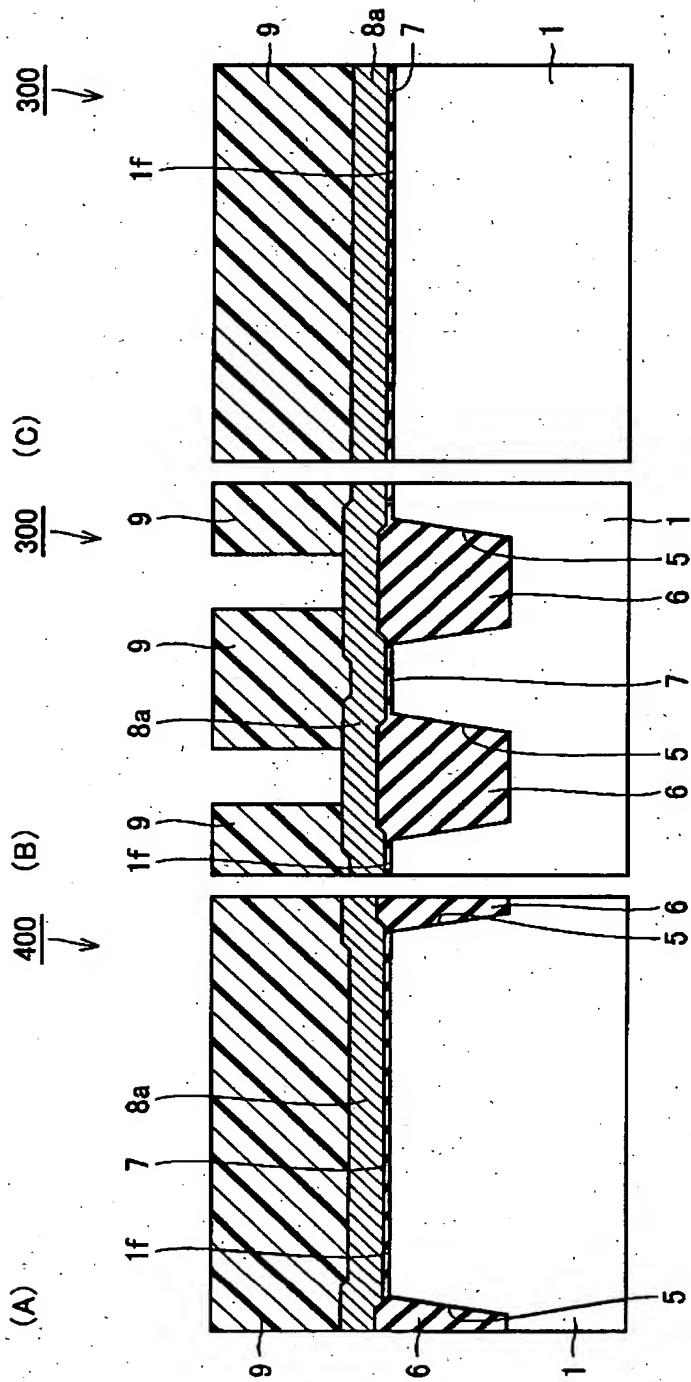
【図 10】



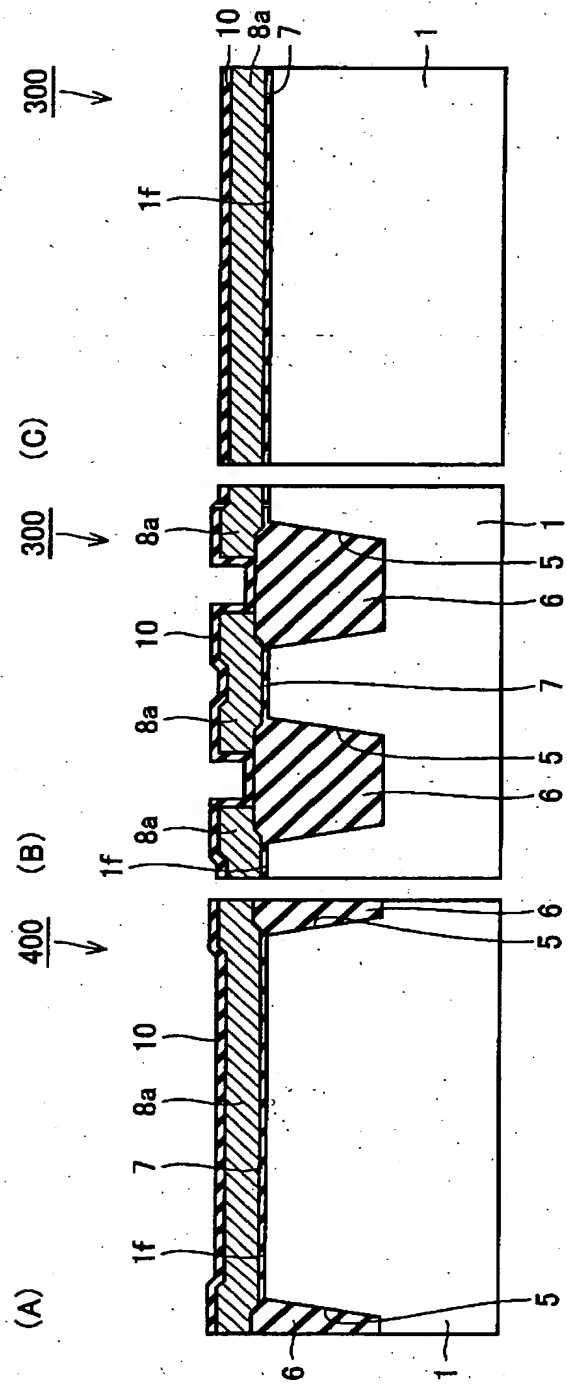
【図 11】



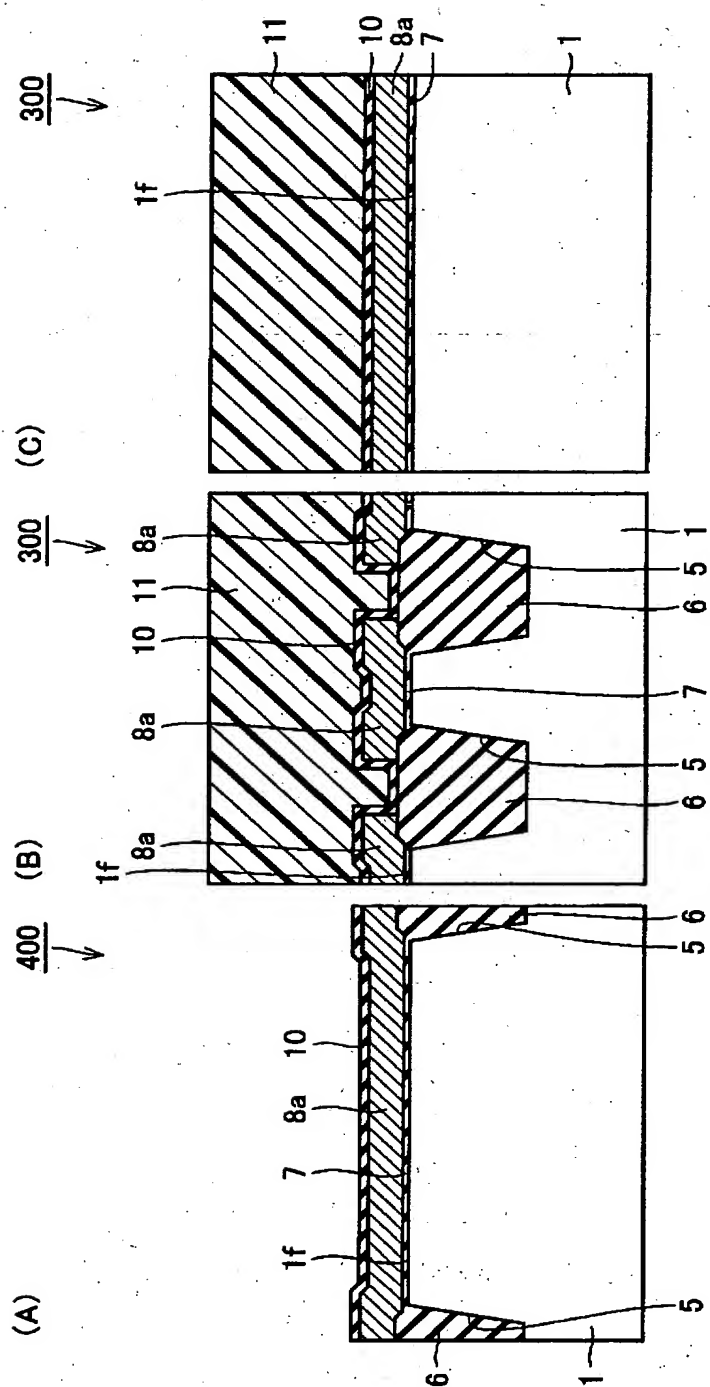
【図 12】



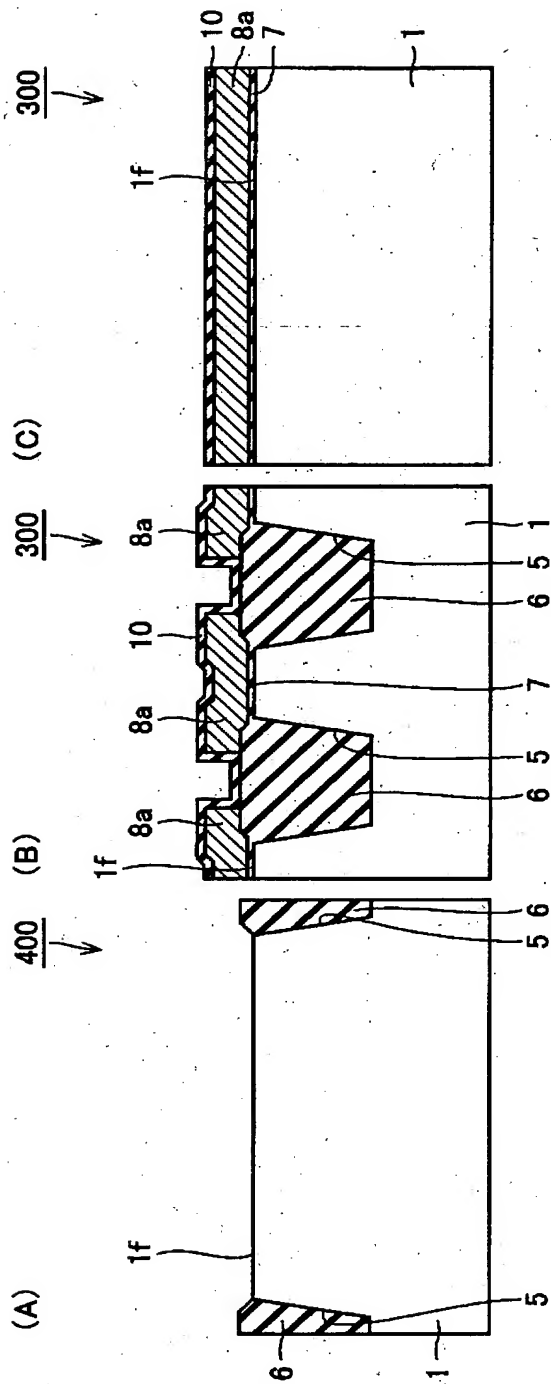
【図 13】



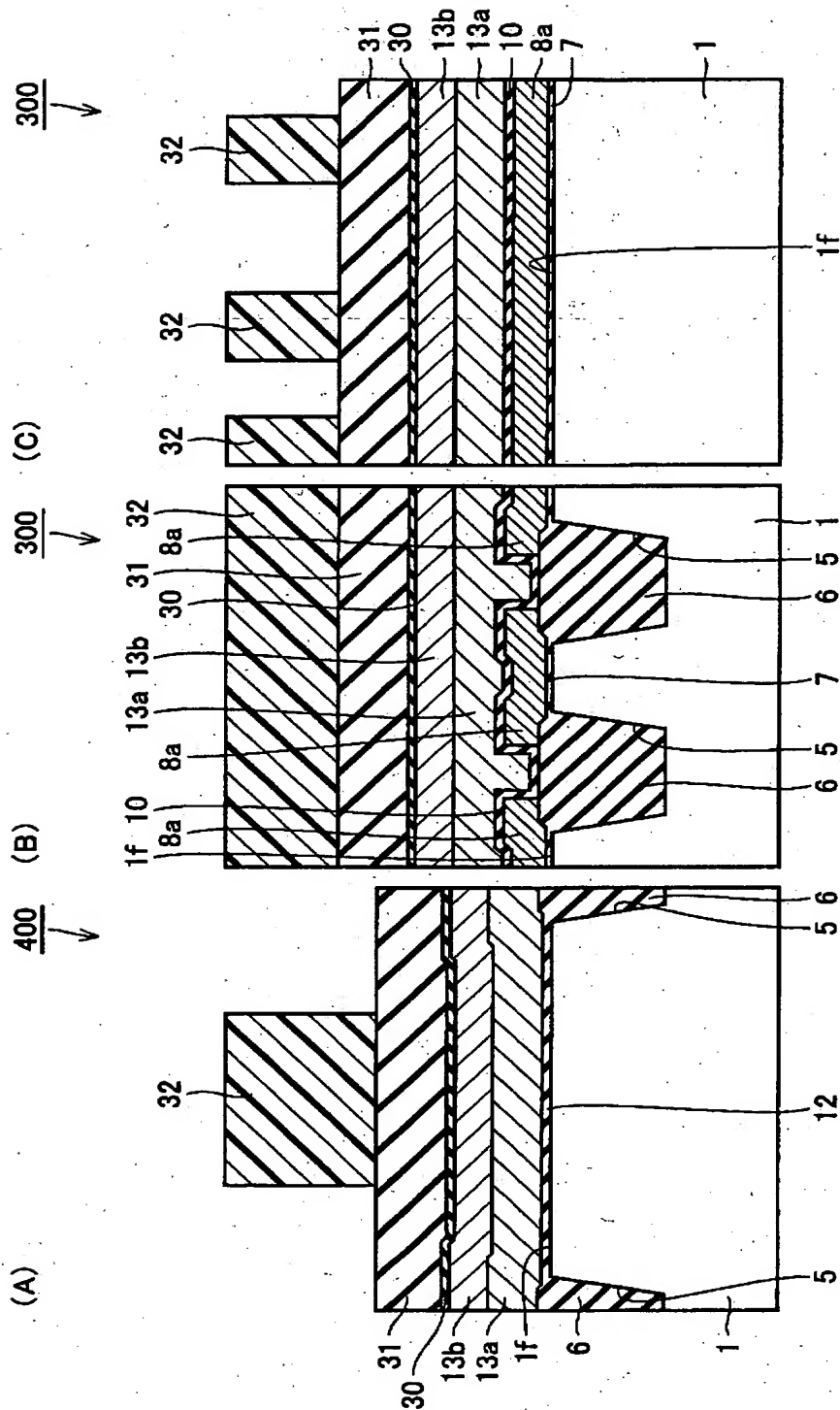
【图 14】



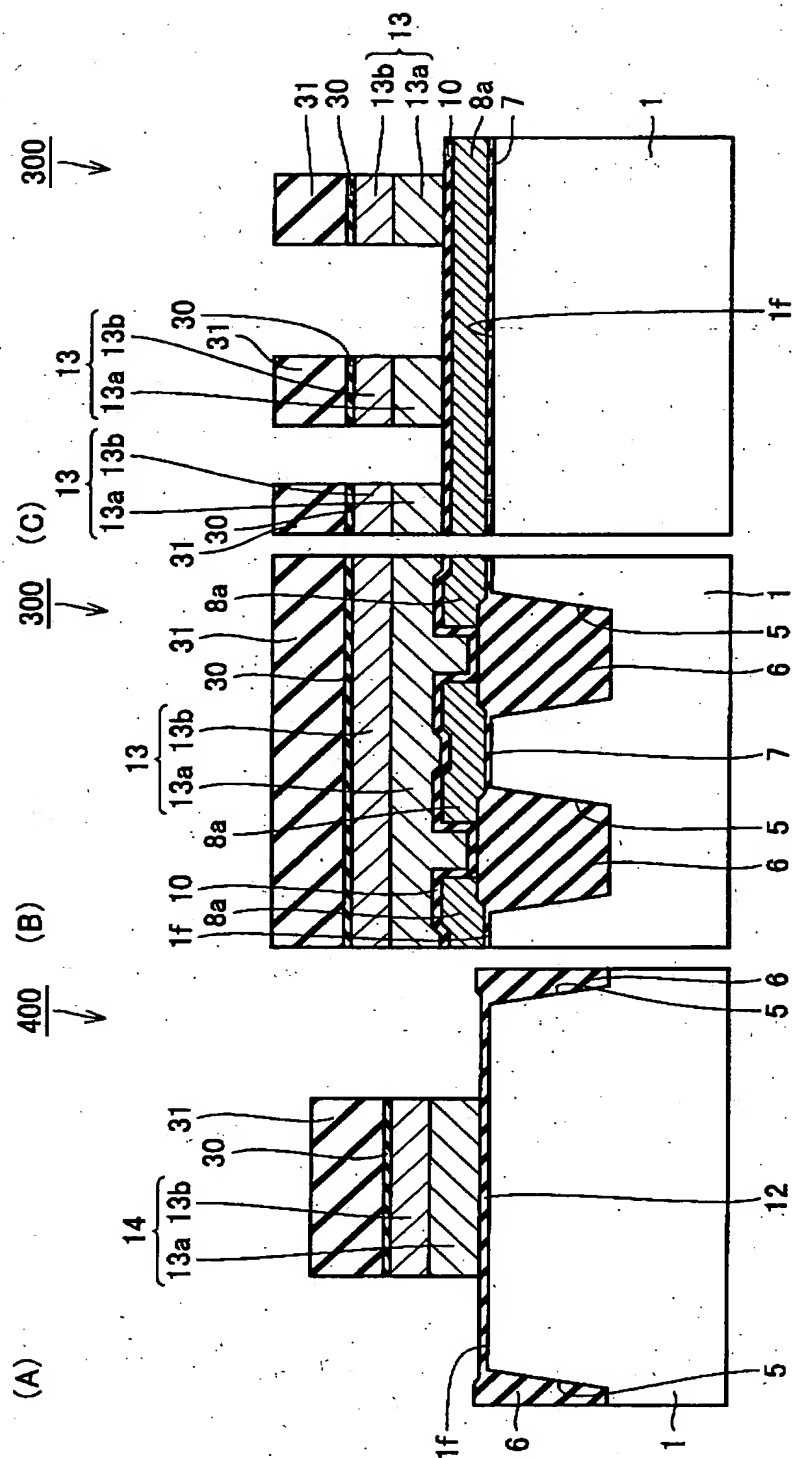
【図 15】



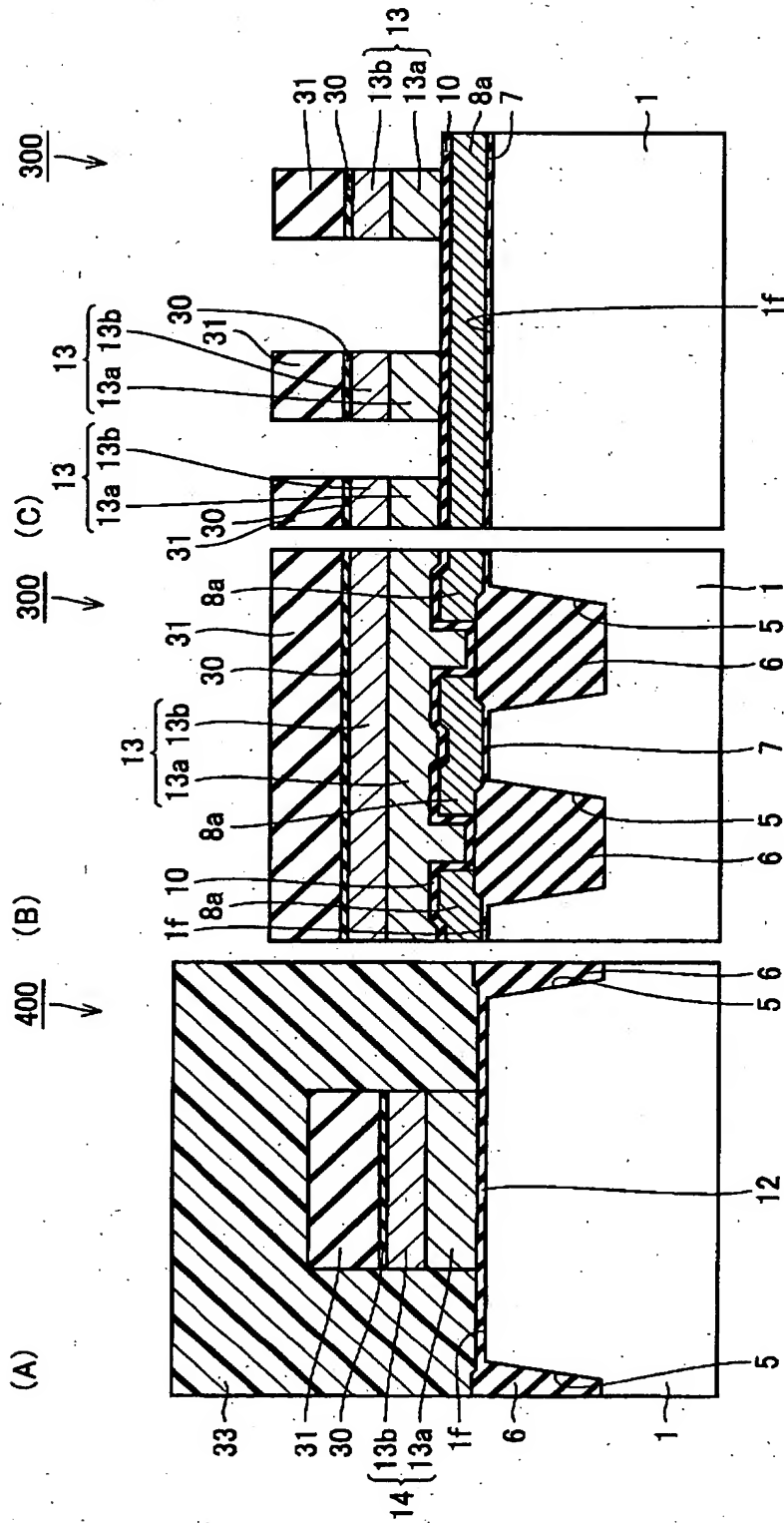
【図 16】



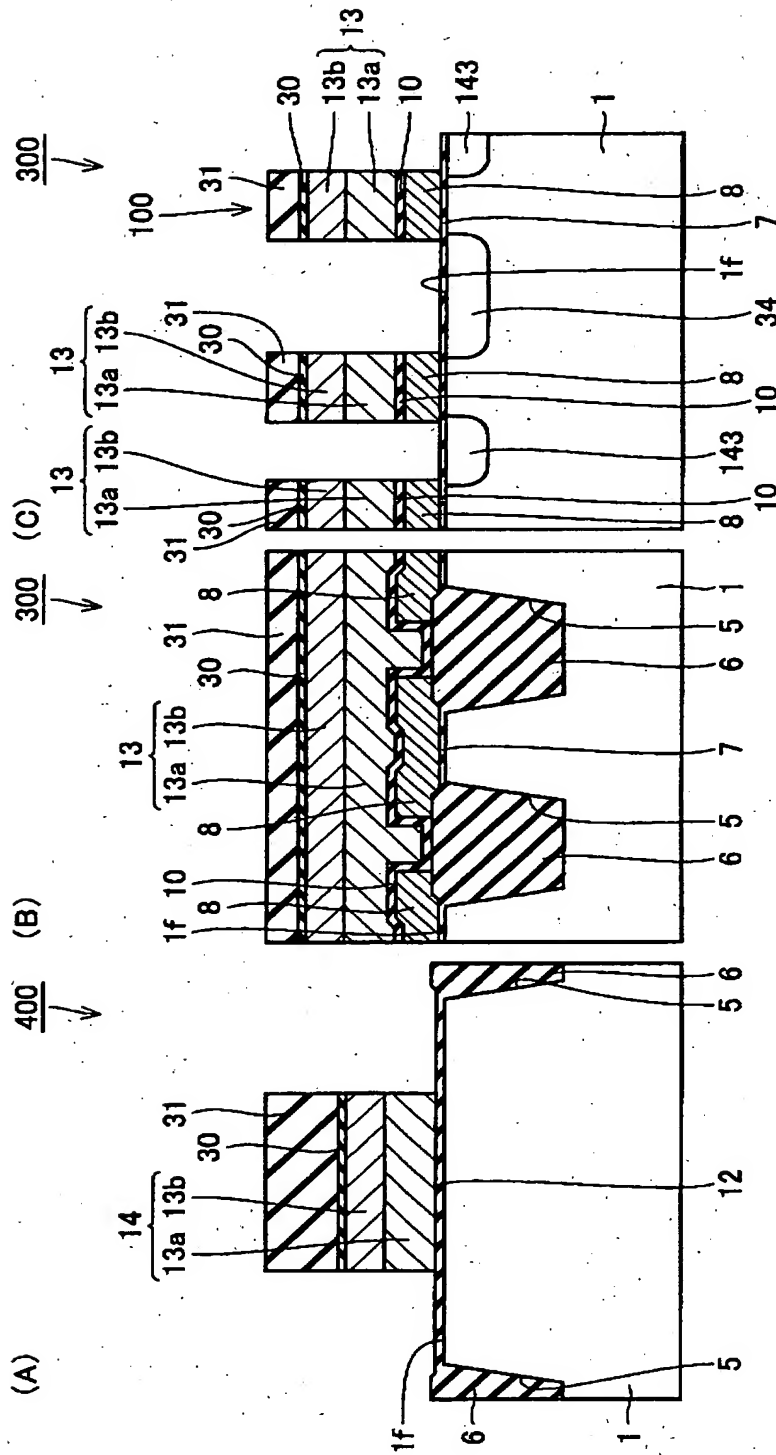
【图 1-7】



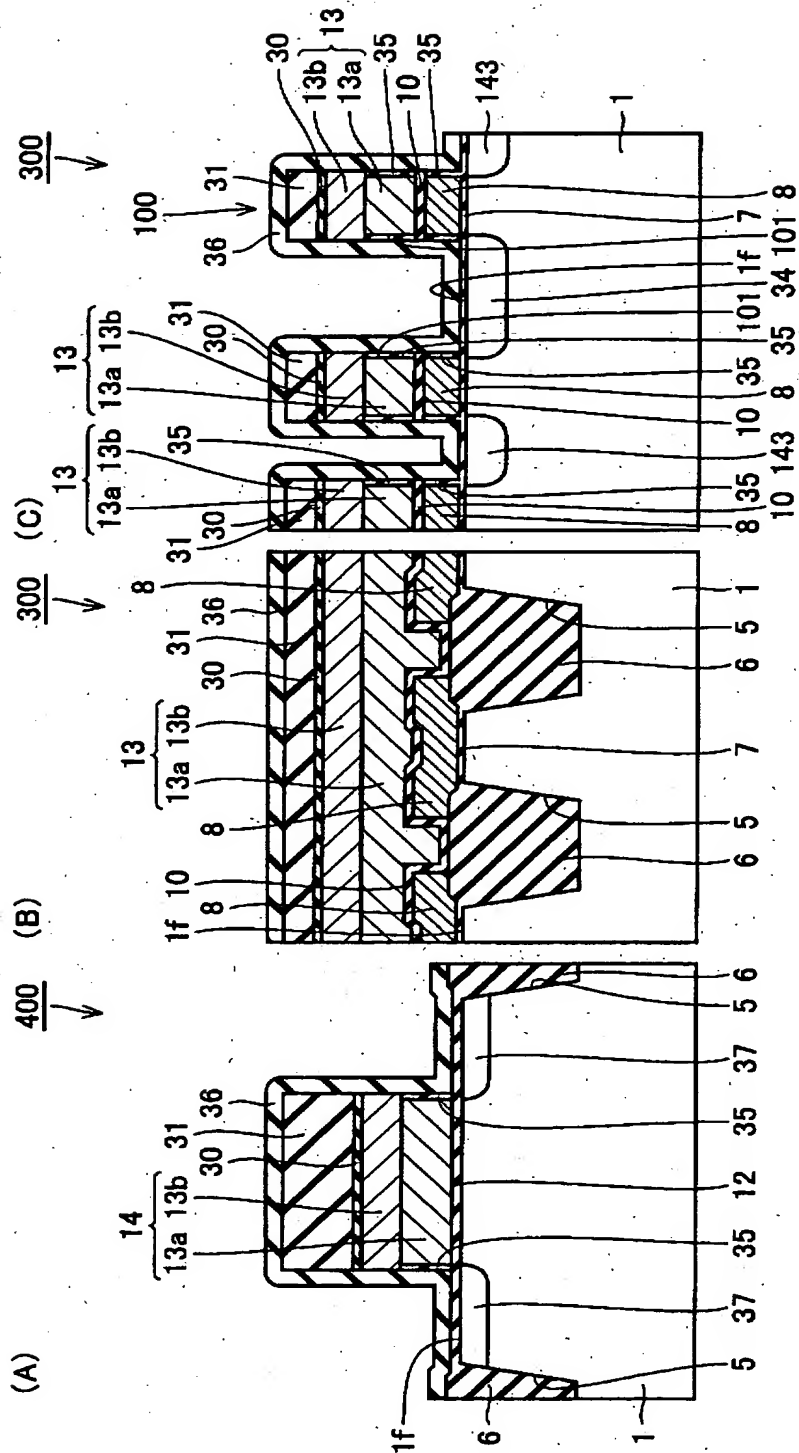
【図 18】



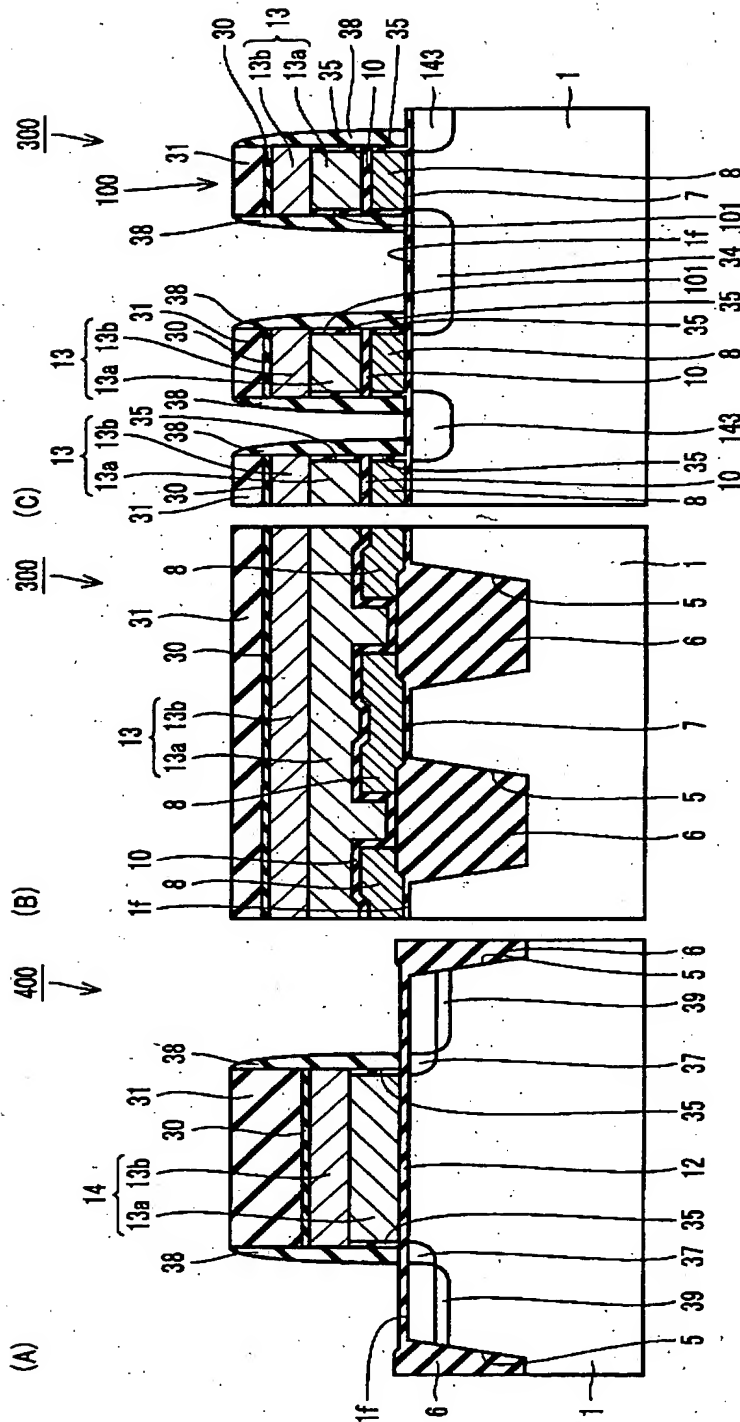
【図 1-9】



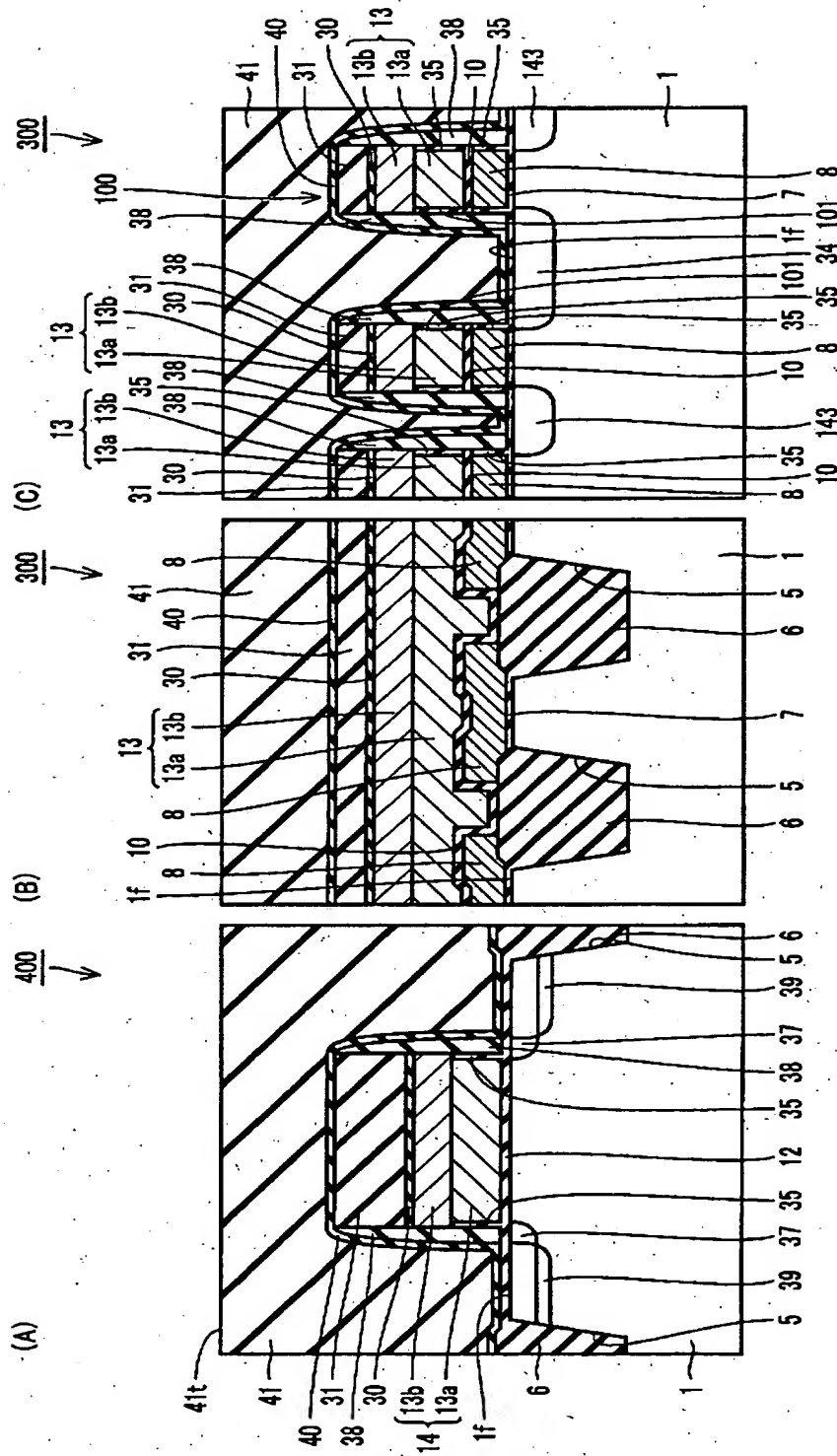
【図 20】



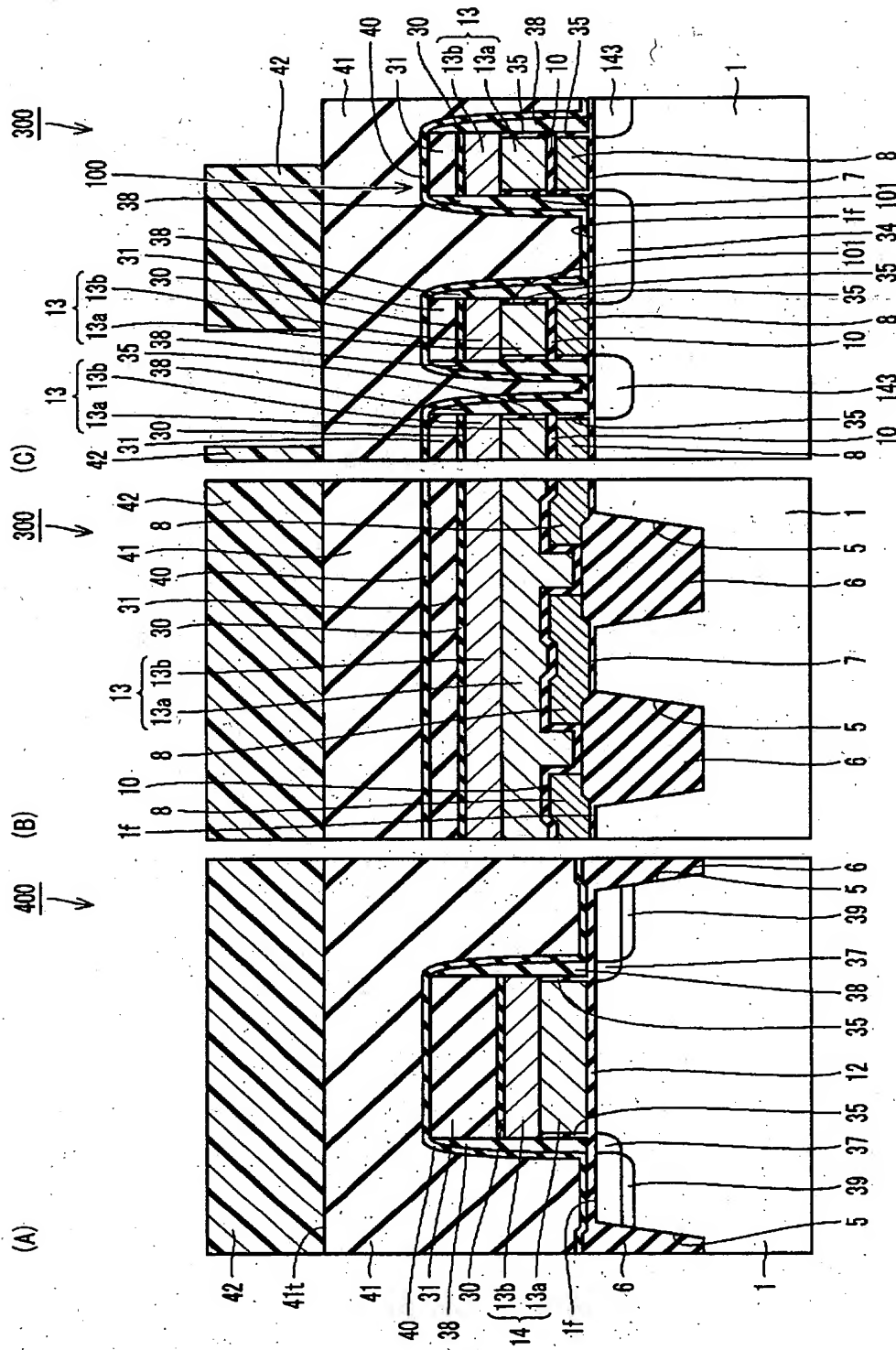
【図 2 1】



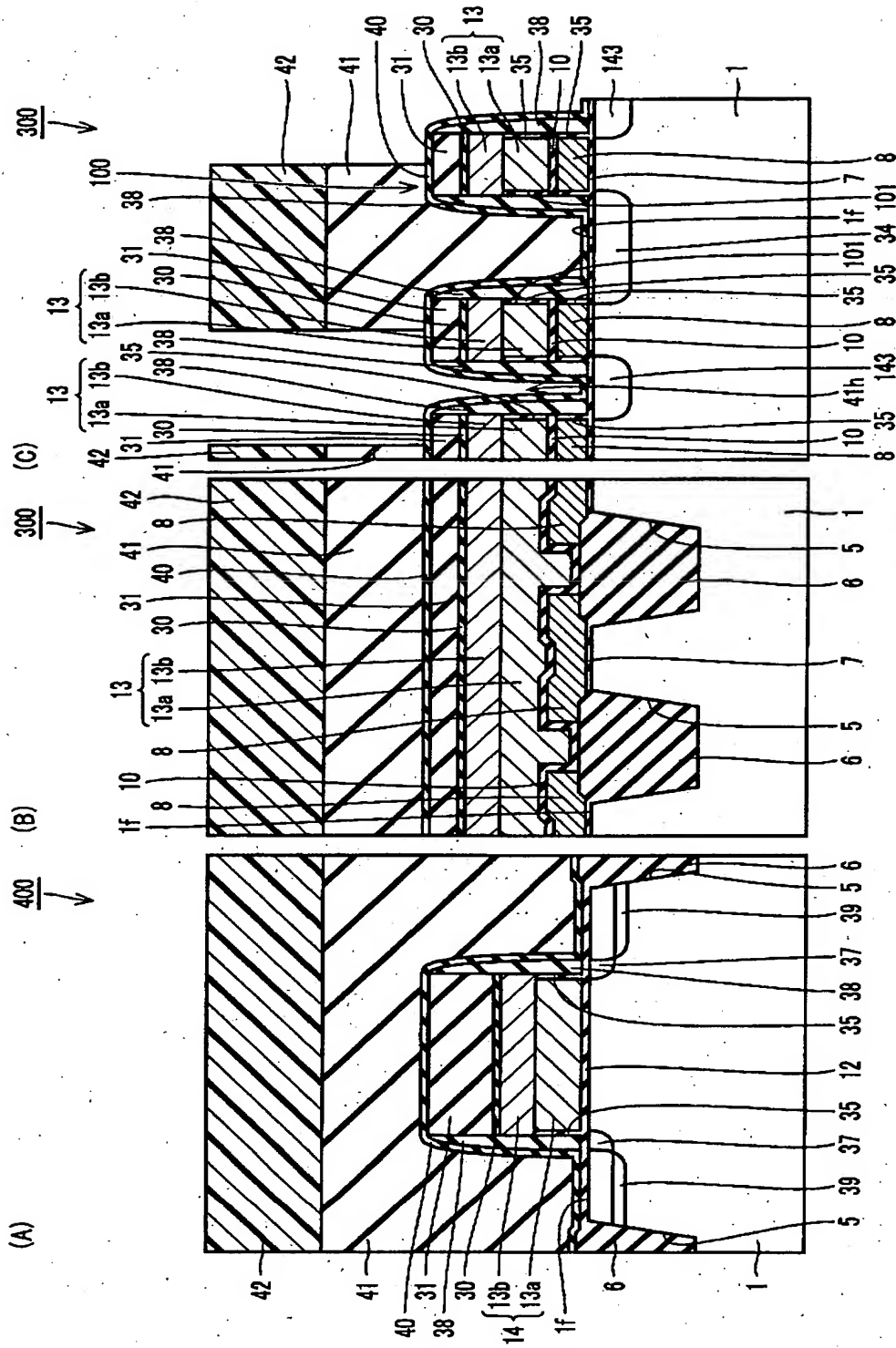
【図 22】



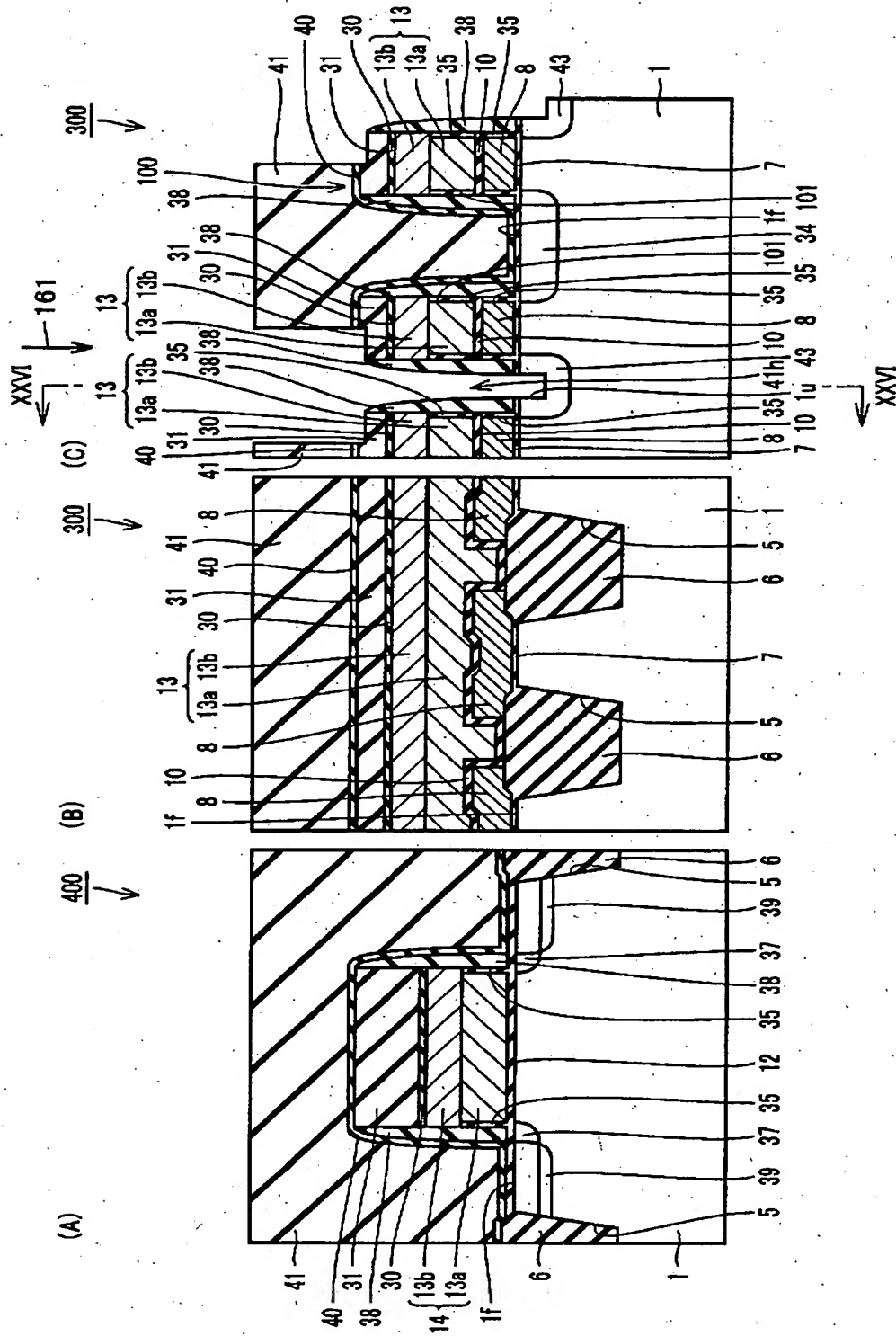
【図23】



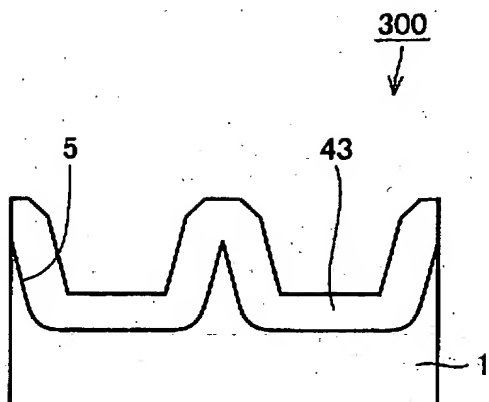
【図 24】



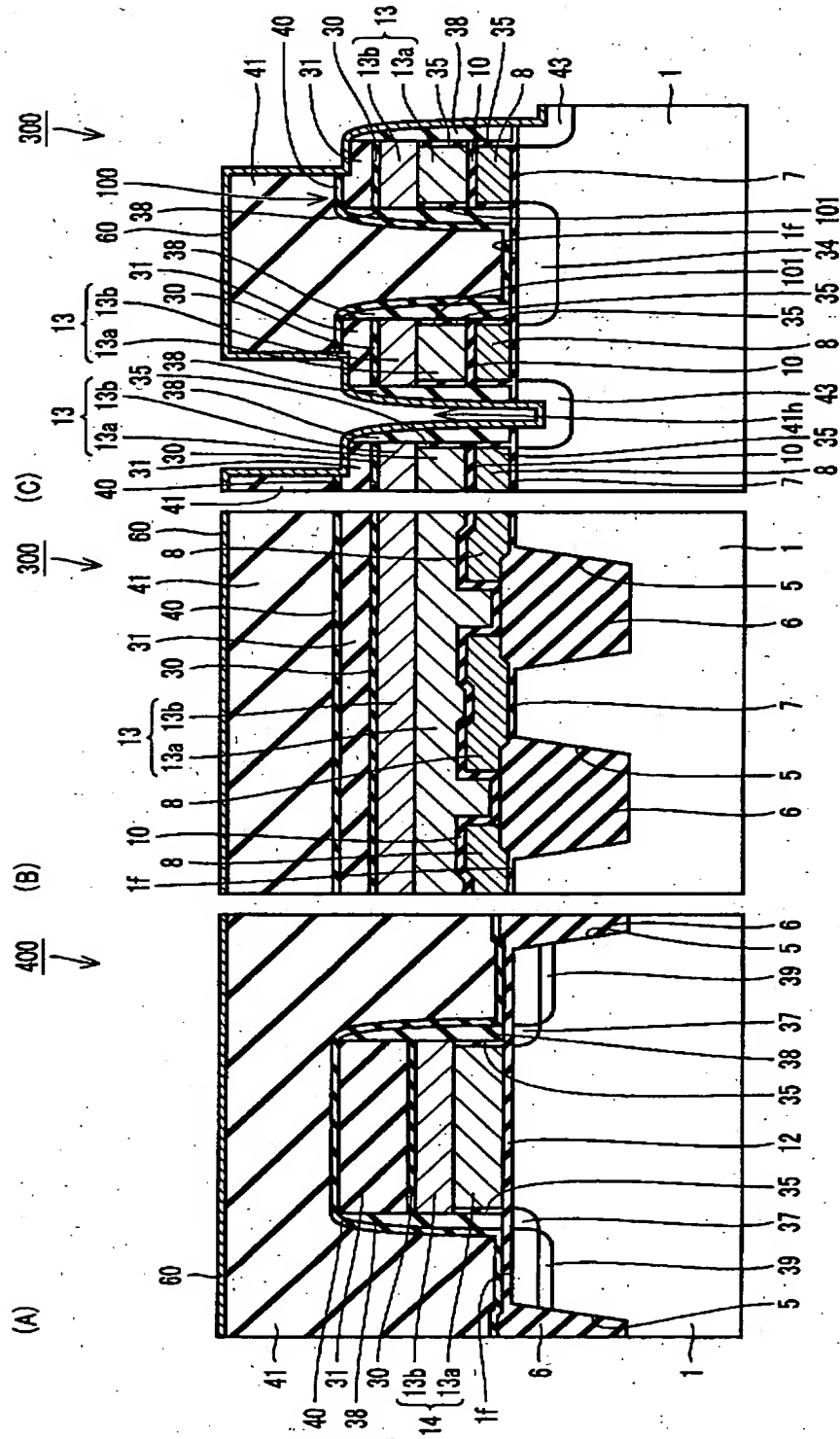
【図25】



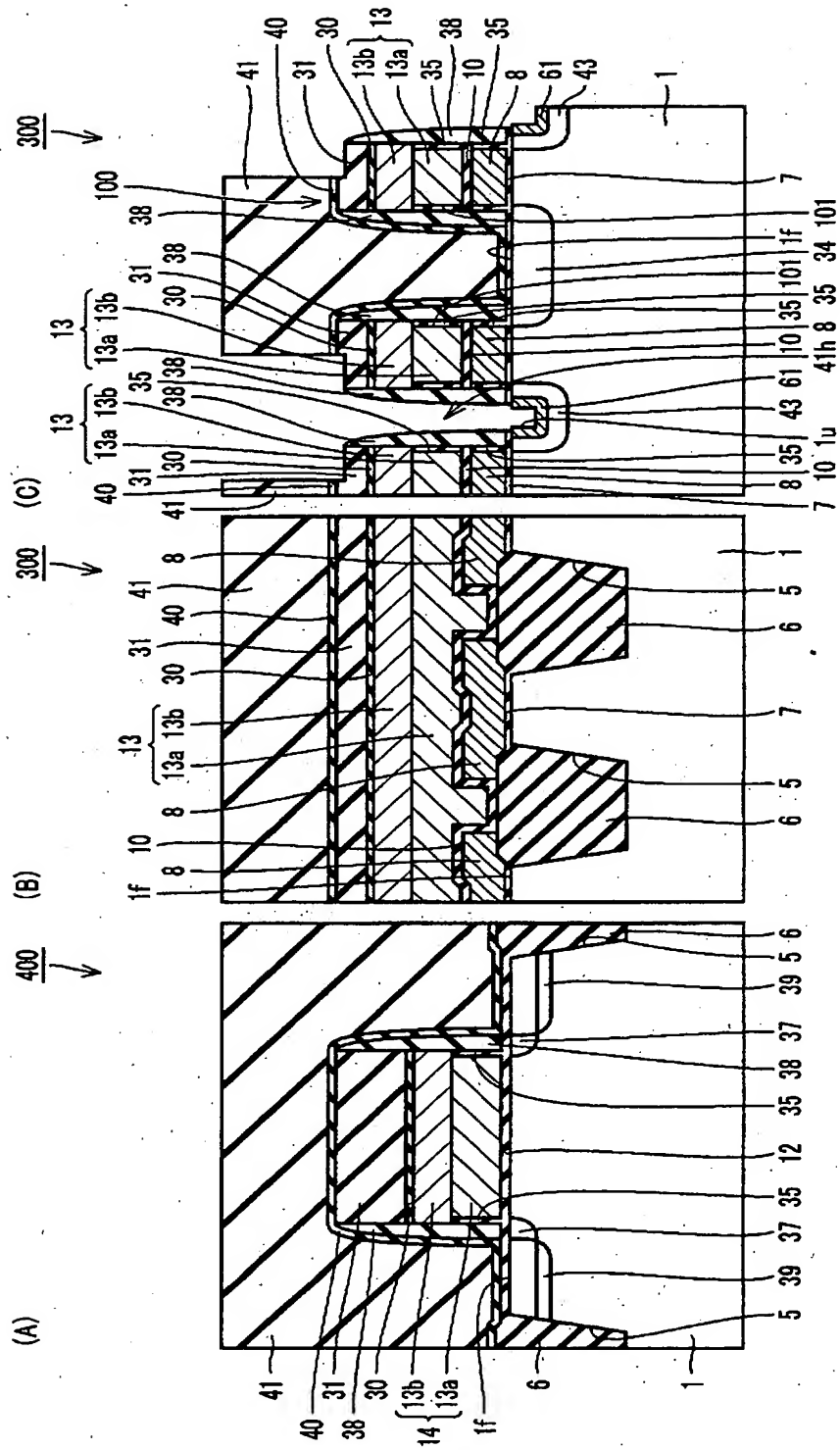
【図 2 6】



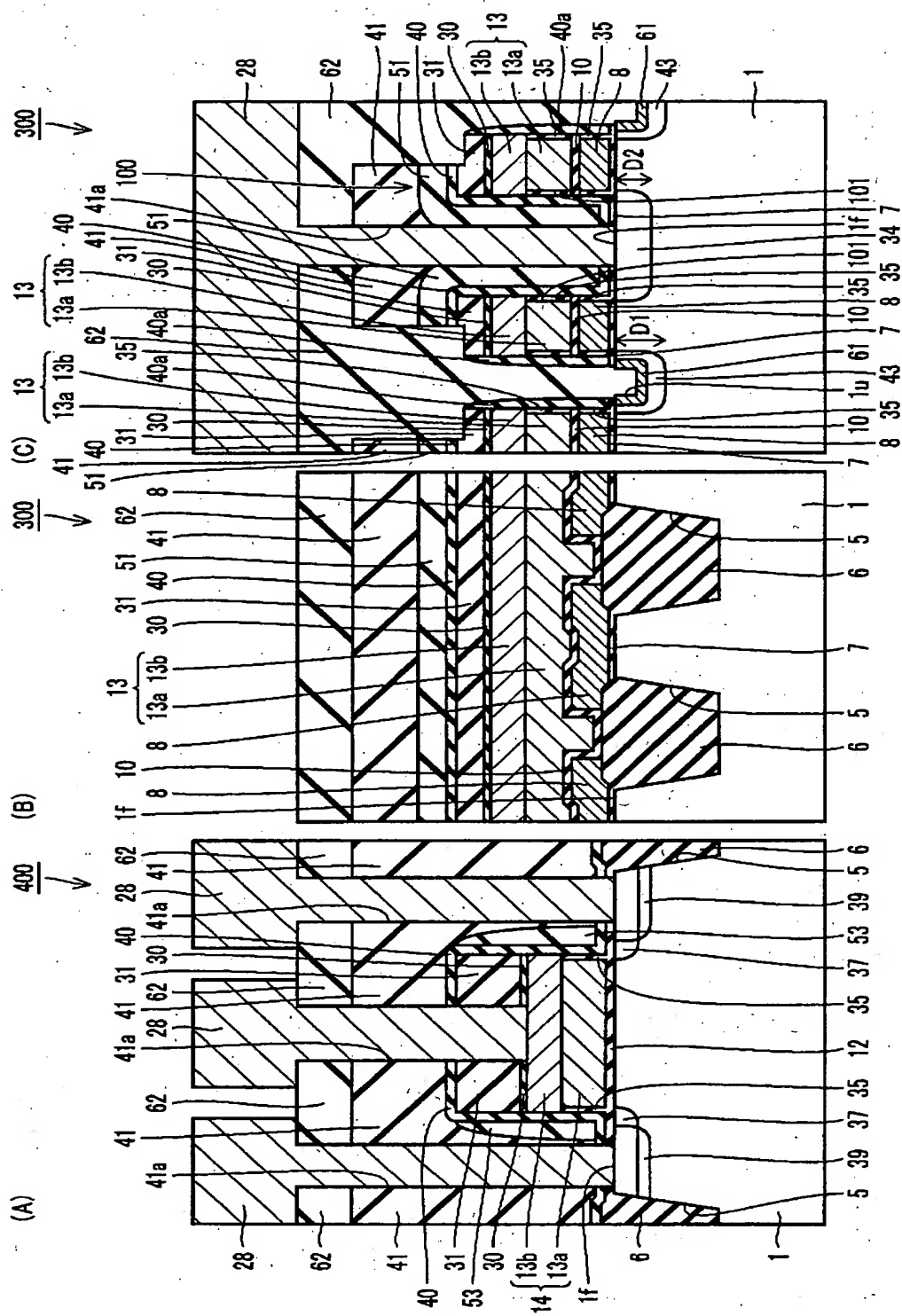
【図 27】



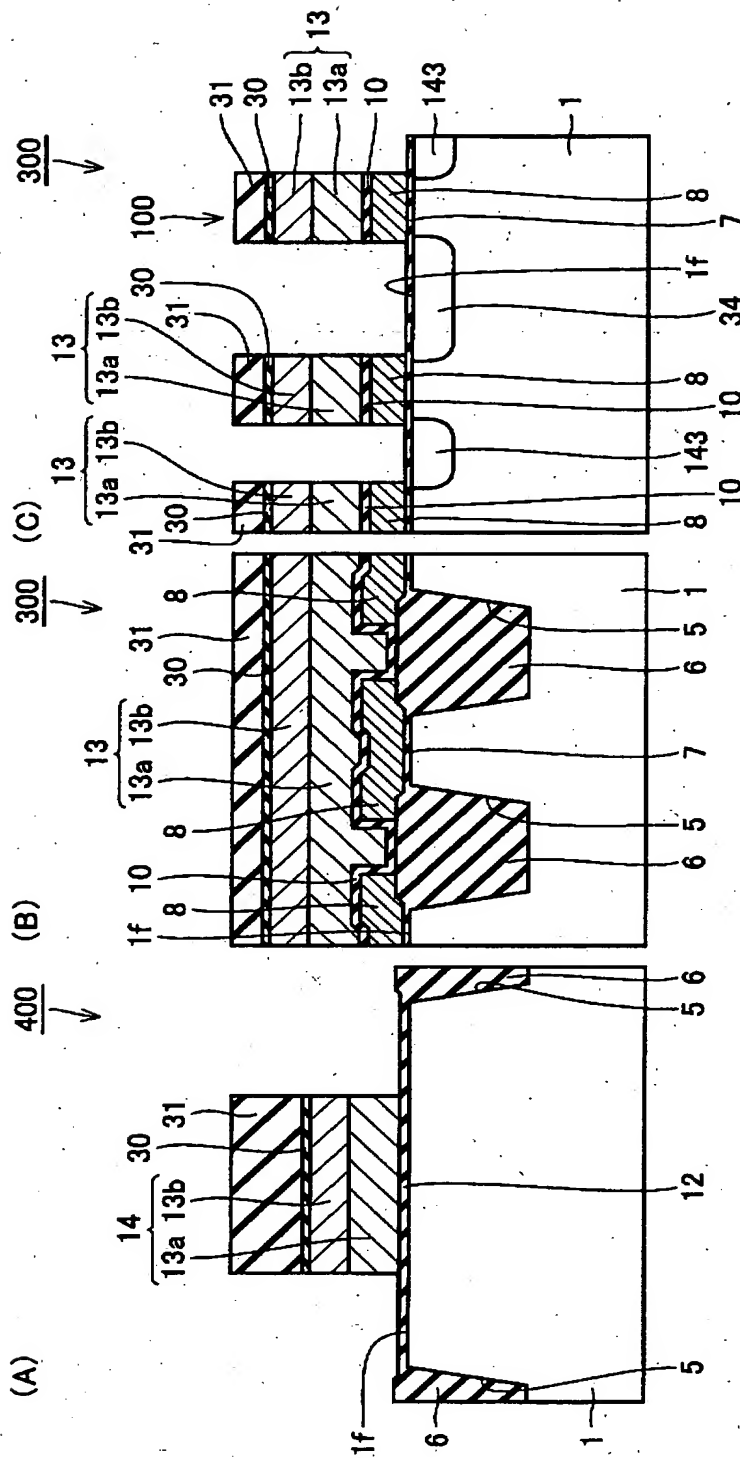
【图 28】



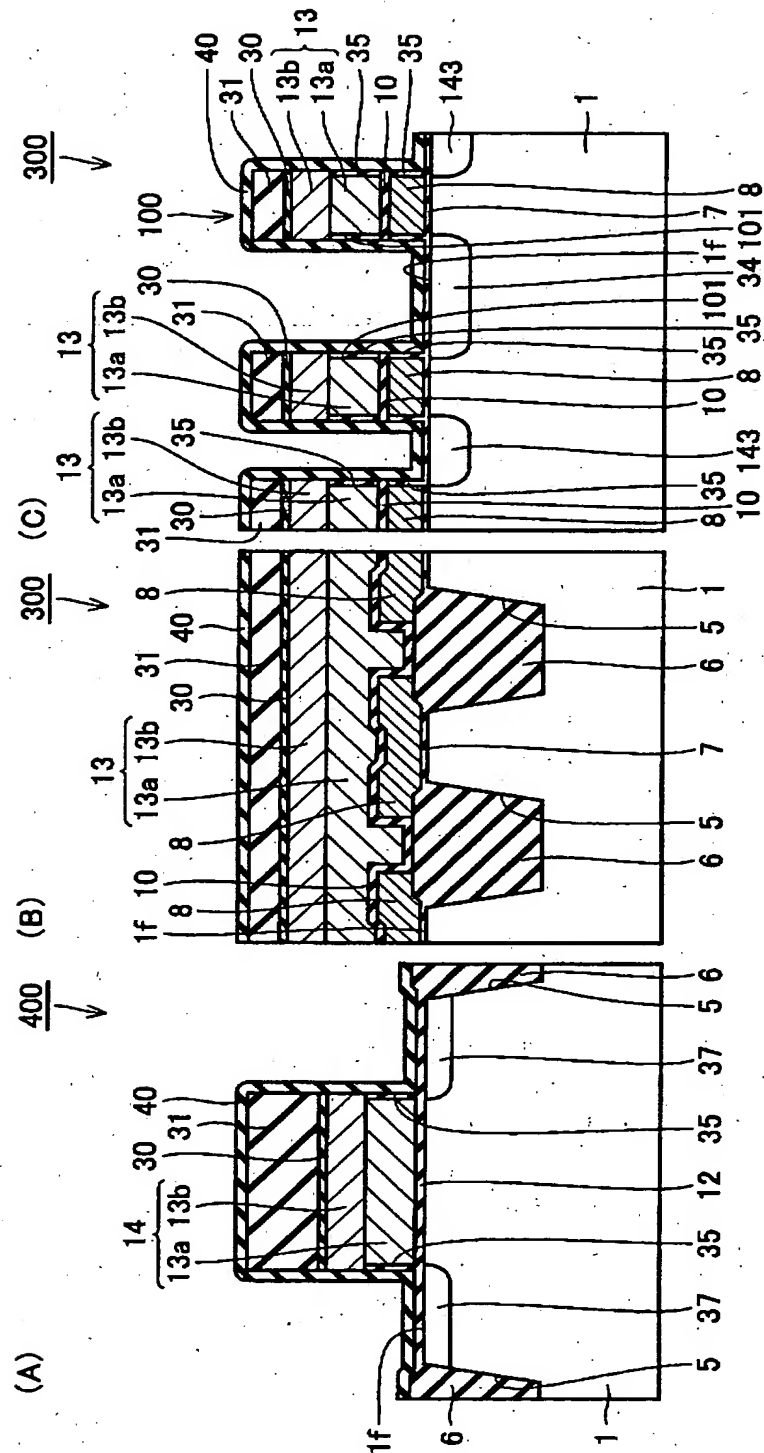
【图 29】



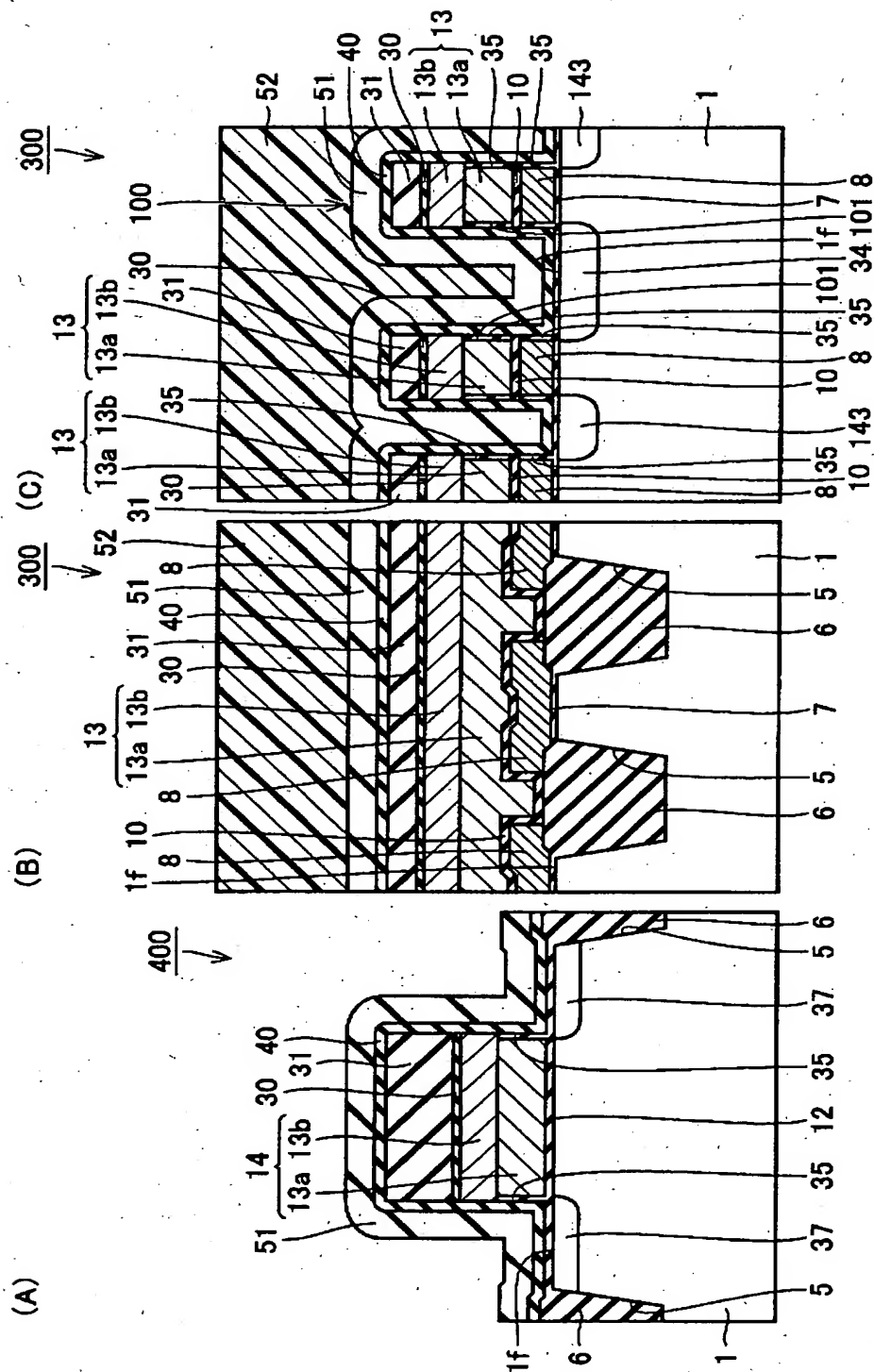
【図 30】



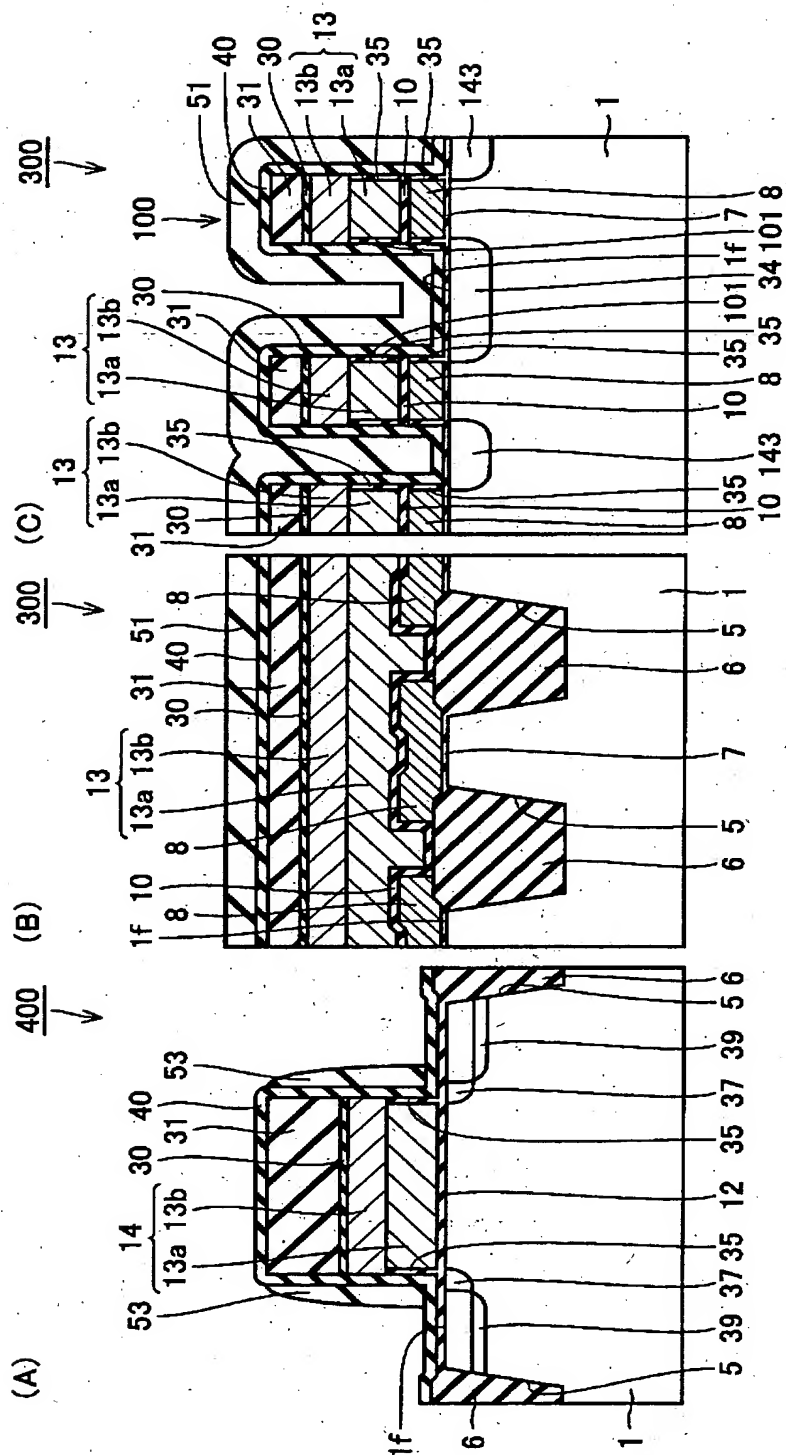
【図 31】



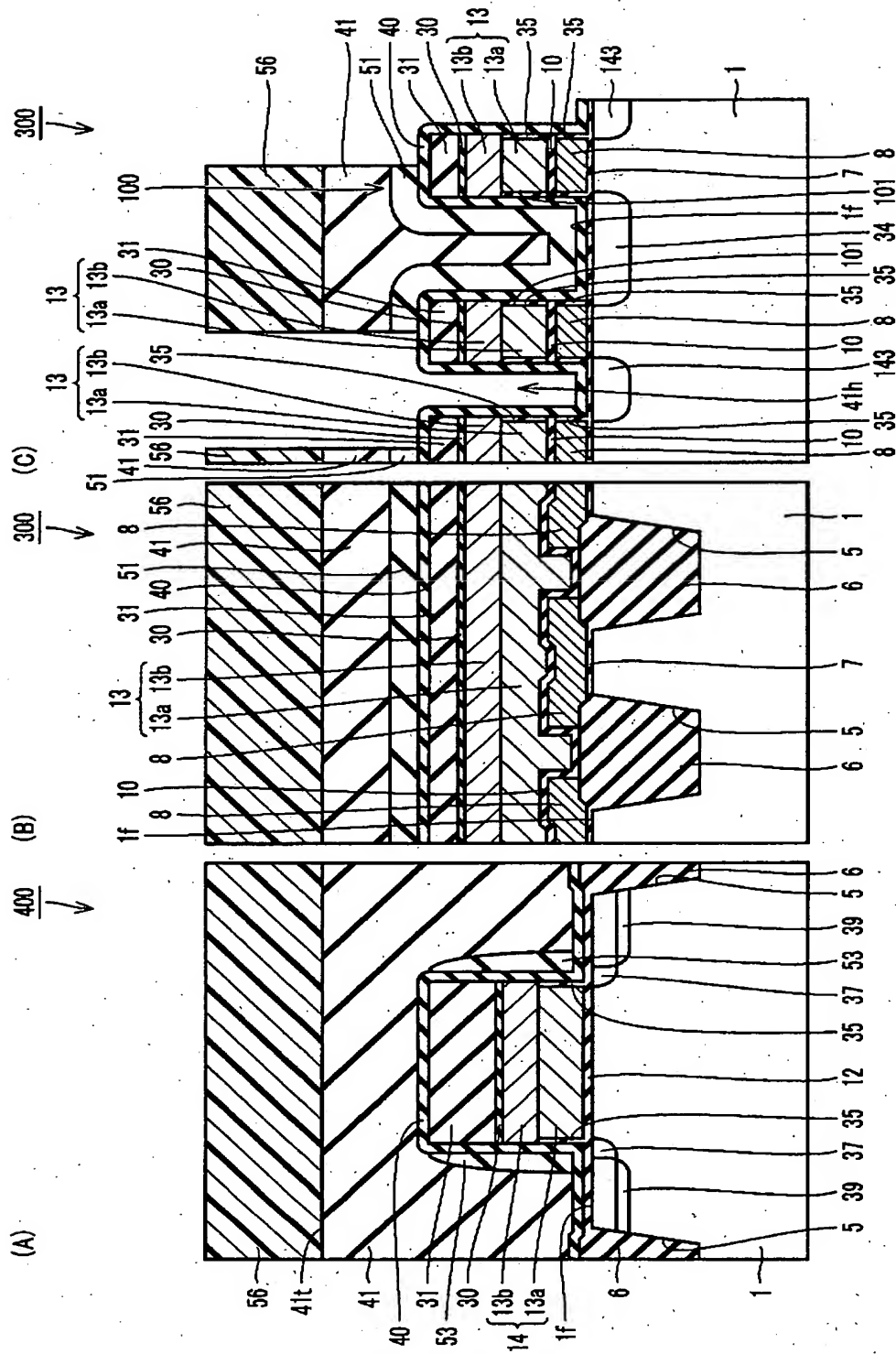
【図 3 2】



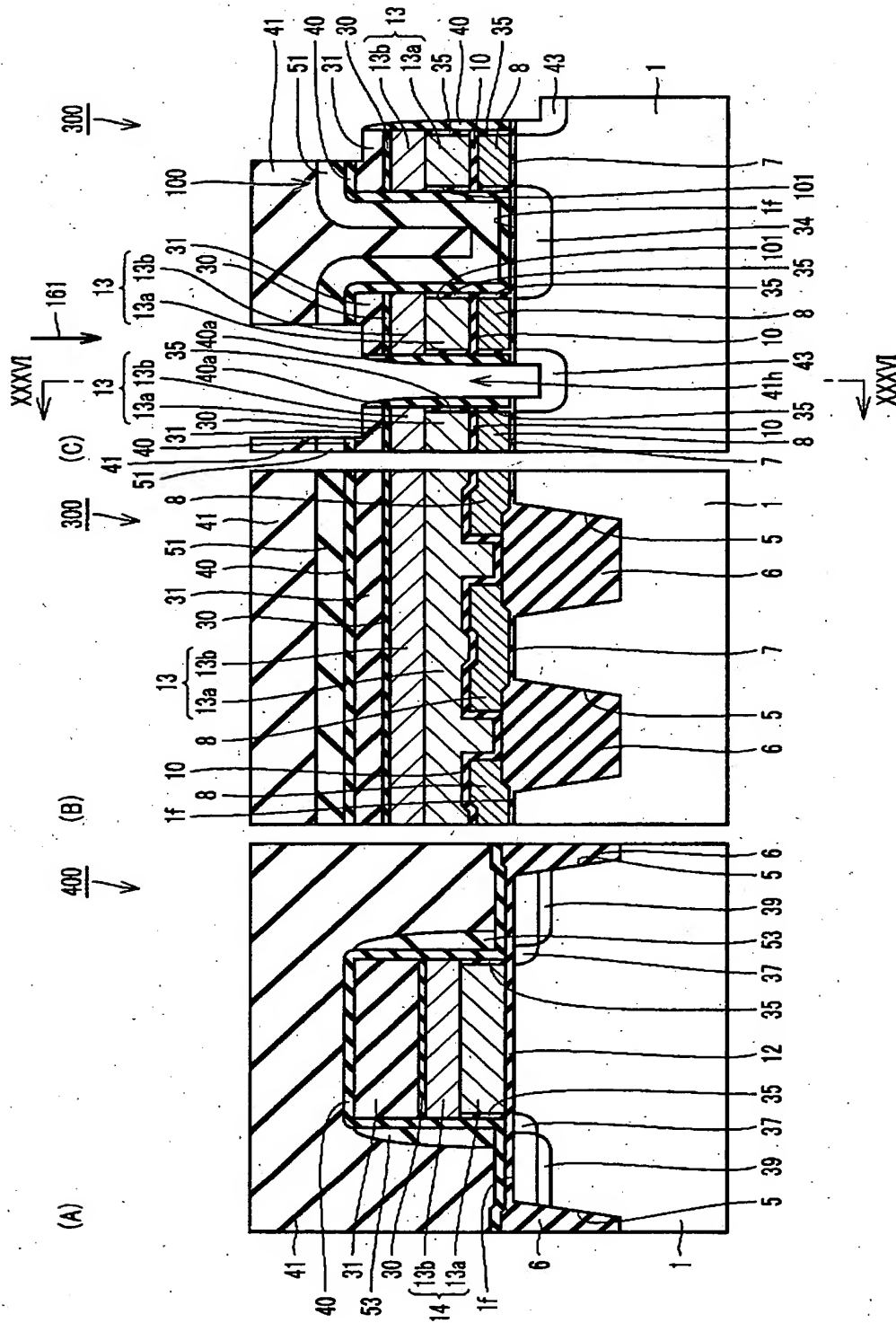
【図33】



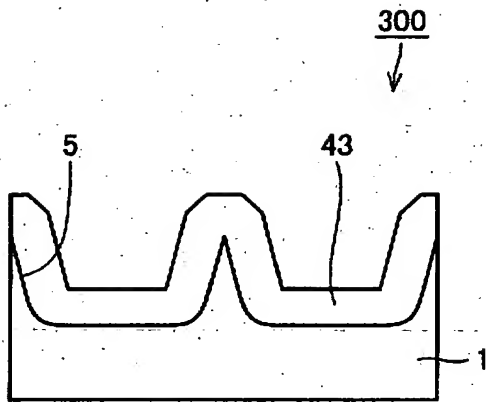
【図34】



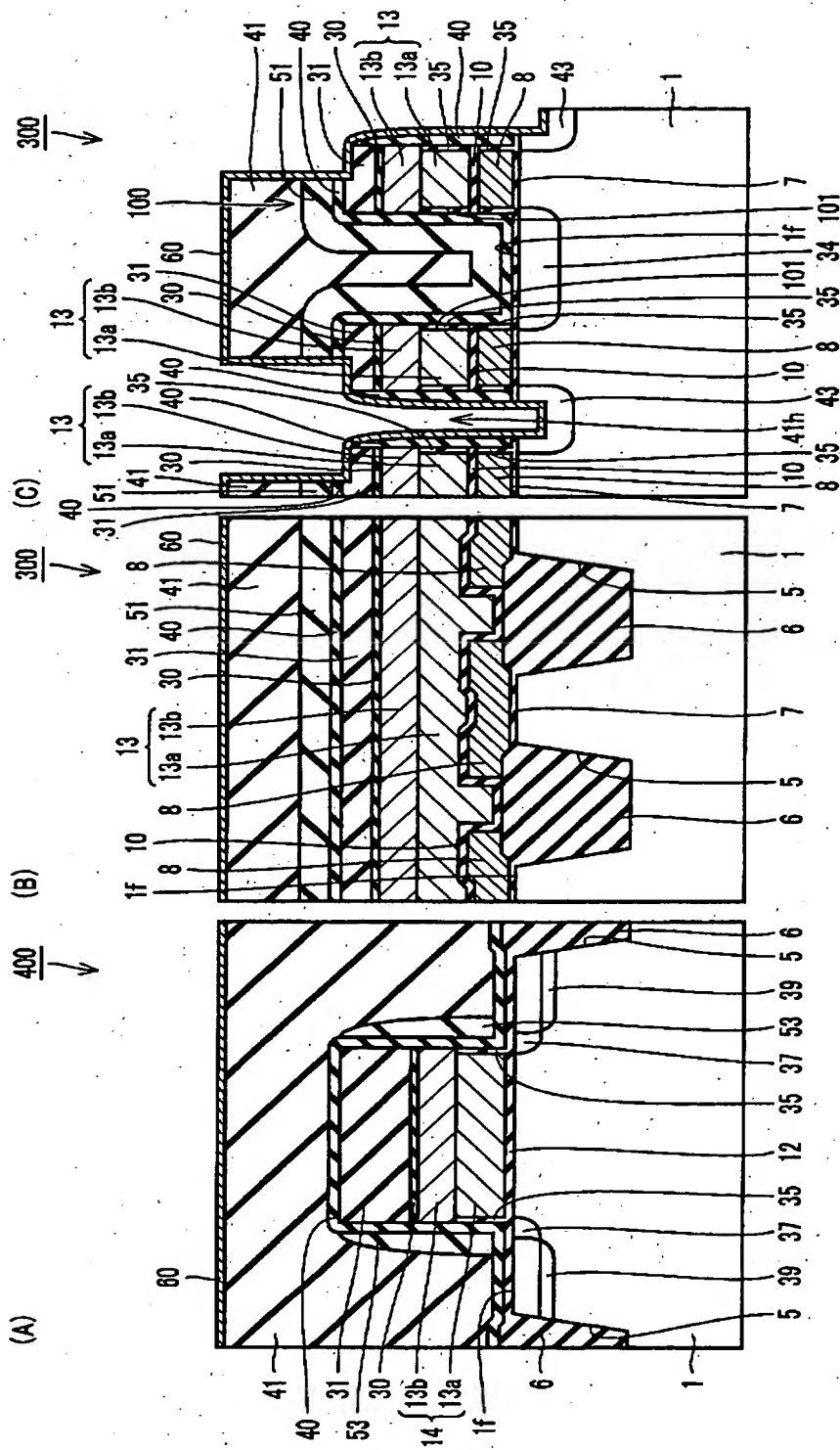
【圖 3 5】



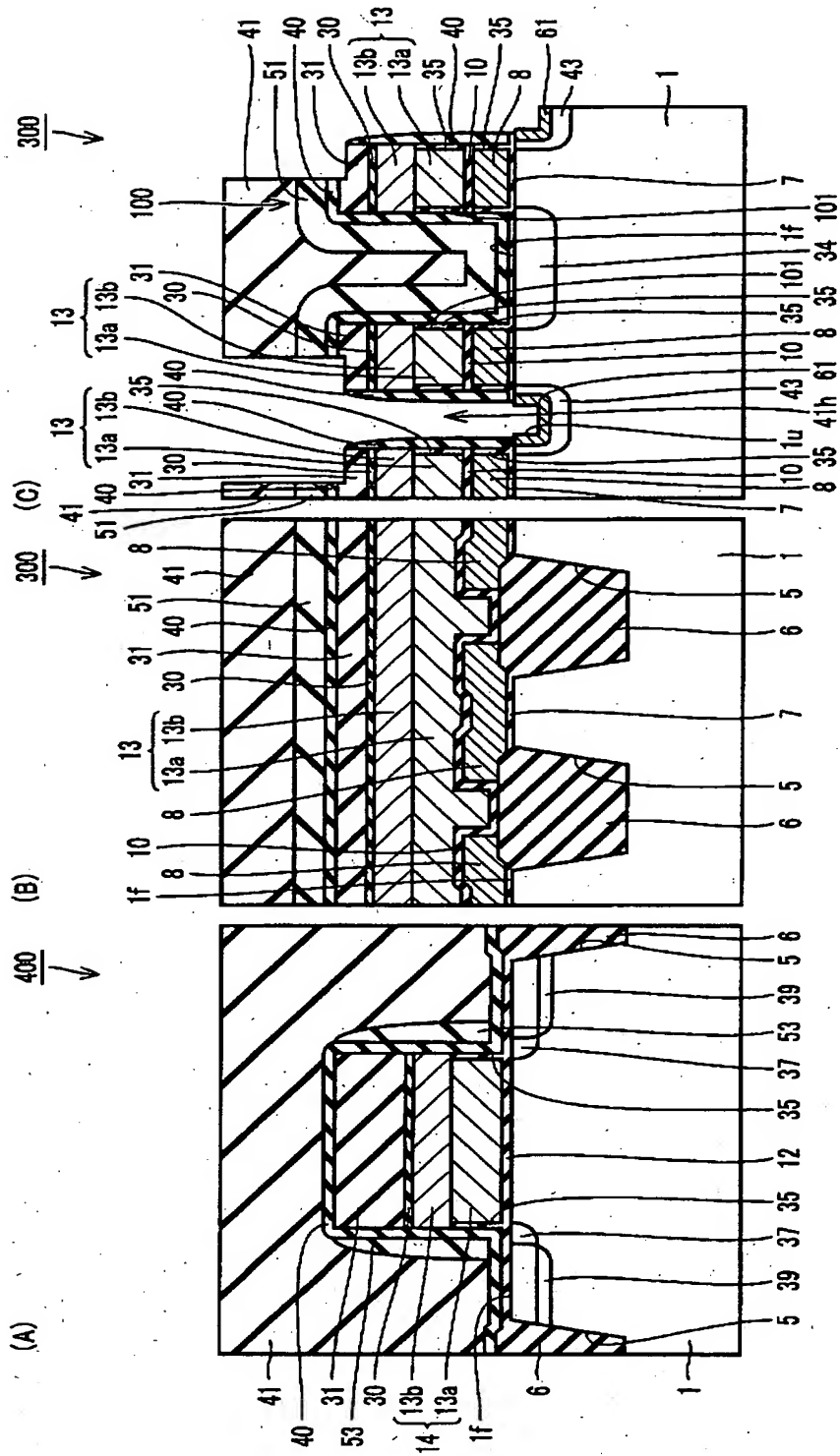
【図 3 6】



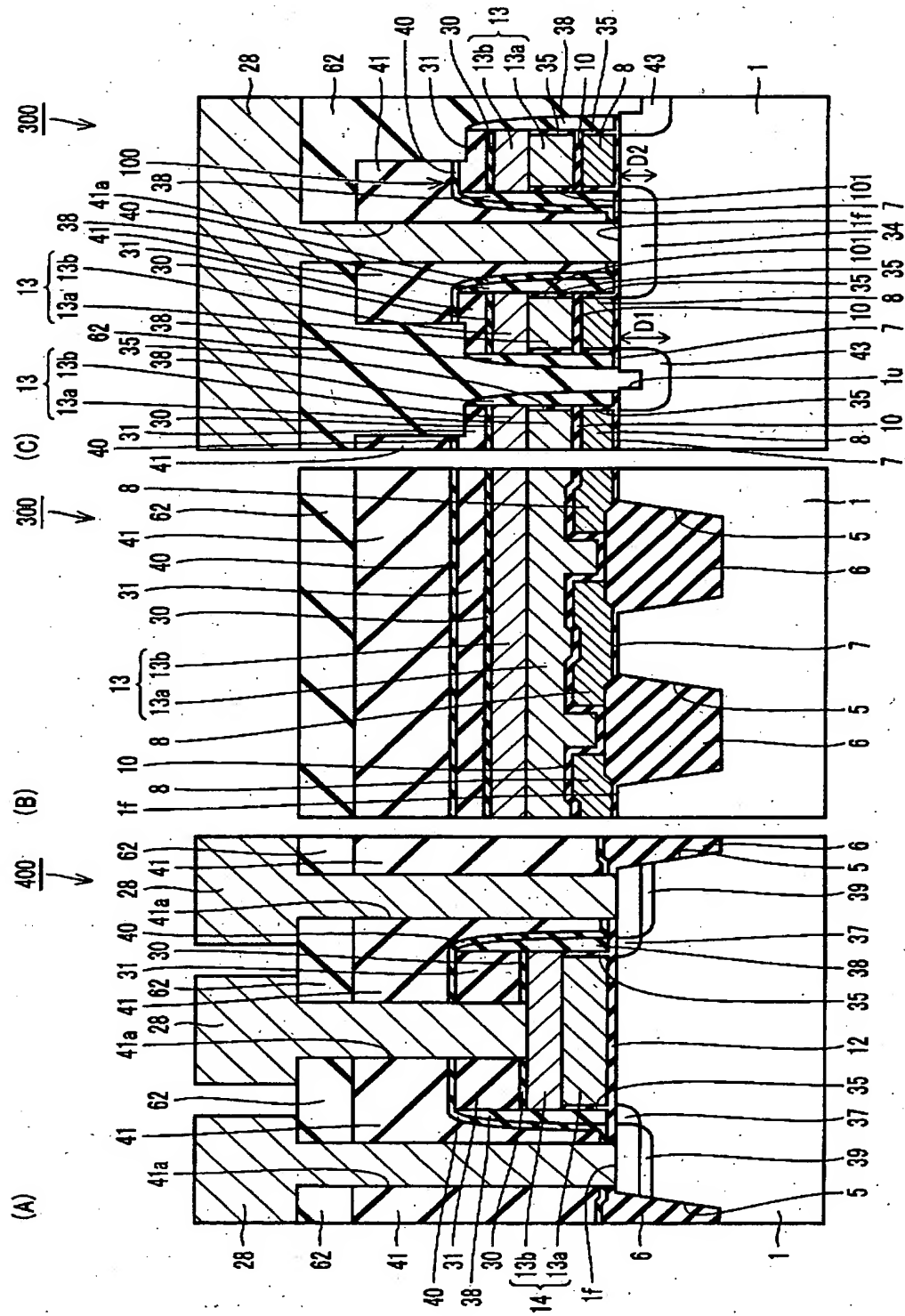
【图 3.7】



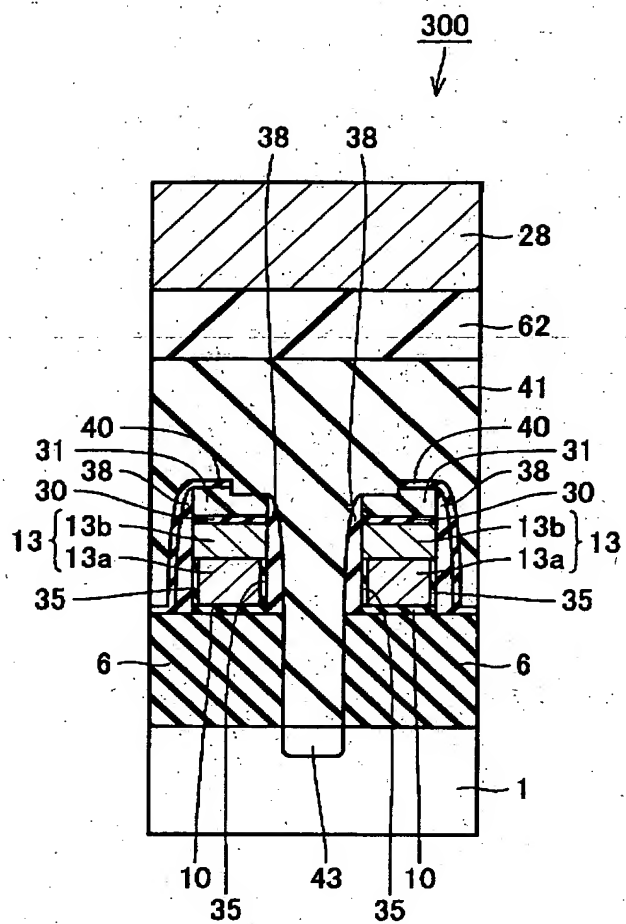
【図38】



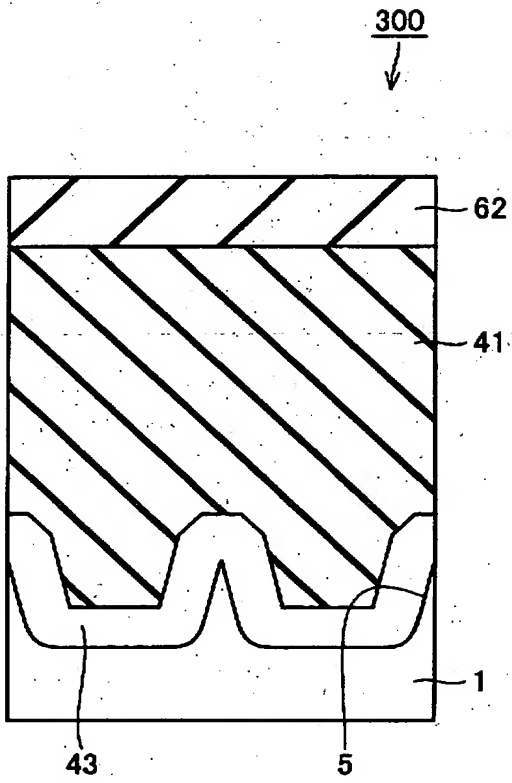
【図39】



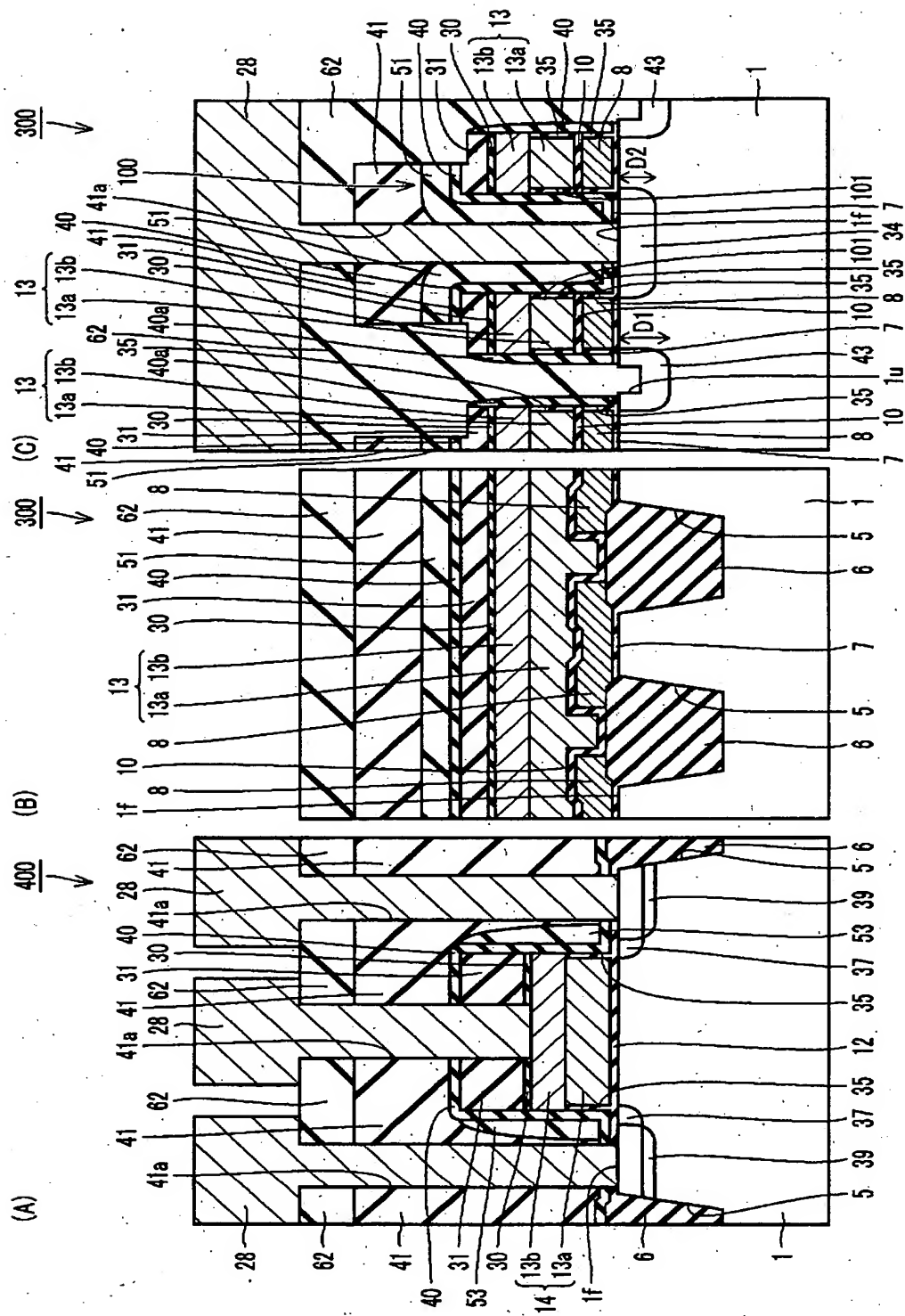
【図 40】



【図 4 1】



【図42】



【書類名】 要約書

【要約】

【課題】 微細化が可能な不揮発性半導体記憶装置を提供する。

【解決手段】 不揮発性半導体記憶装置の製造方法は、積層体 1 0 0 と側壁絶縁膜 3 8 とを覆い、かつ、主表面 1 f にほぼ平行な頂面 4 1 t を有する層間絶縁膜 4 1 を形成する工程と、層間絶縁膜 4 1 の頂面 4 1 t 上にマスク層としてのレジストパターン 4 2 を形成する工程と、レジストパターン 4 2 をマスクとして層間絶縁膜 4 1 を選択的にエッチングすることにより、隣り合う積層体 1 0 0 に形成された側壁絶縁膜 3 8 の間に位置するように層間絶縁膜 4 1 に開口部としての溝 4 1 h を形成する工程と、溝 4 1 h から主表面 1 f に不純物イオンを注入することにより、複数のフローティングゲート電極 8 に沿って延びるソース領域 4 3 を形成する工程とを備える。

【選択図】 図 3 4

出 願 人 履 歴 情 報

識別番号

[503121103]

1. 変更年月日	2003年 4月 1日
[変更理由]	新規登録
住 所	東京都千代田区丸の内二丁目4番1号
氏 名	株式会社ルネサステクノロジ